



第九章 触发器及时序逻辑电路

第一节 双稳态触发器

第二节 时序逻辑电路

第三节 脉冲的产生与整形

第四节 555定时器及其应用



第一节 双稳态触发器

一、 RS 触发器

二、 JK 触发器

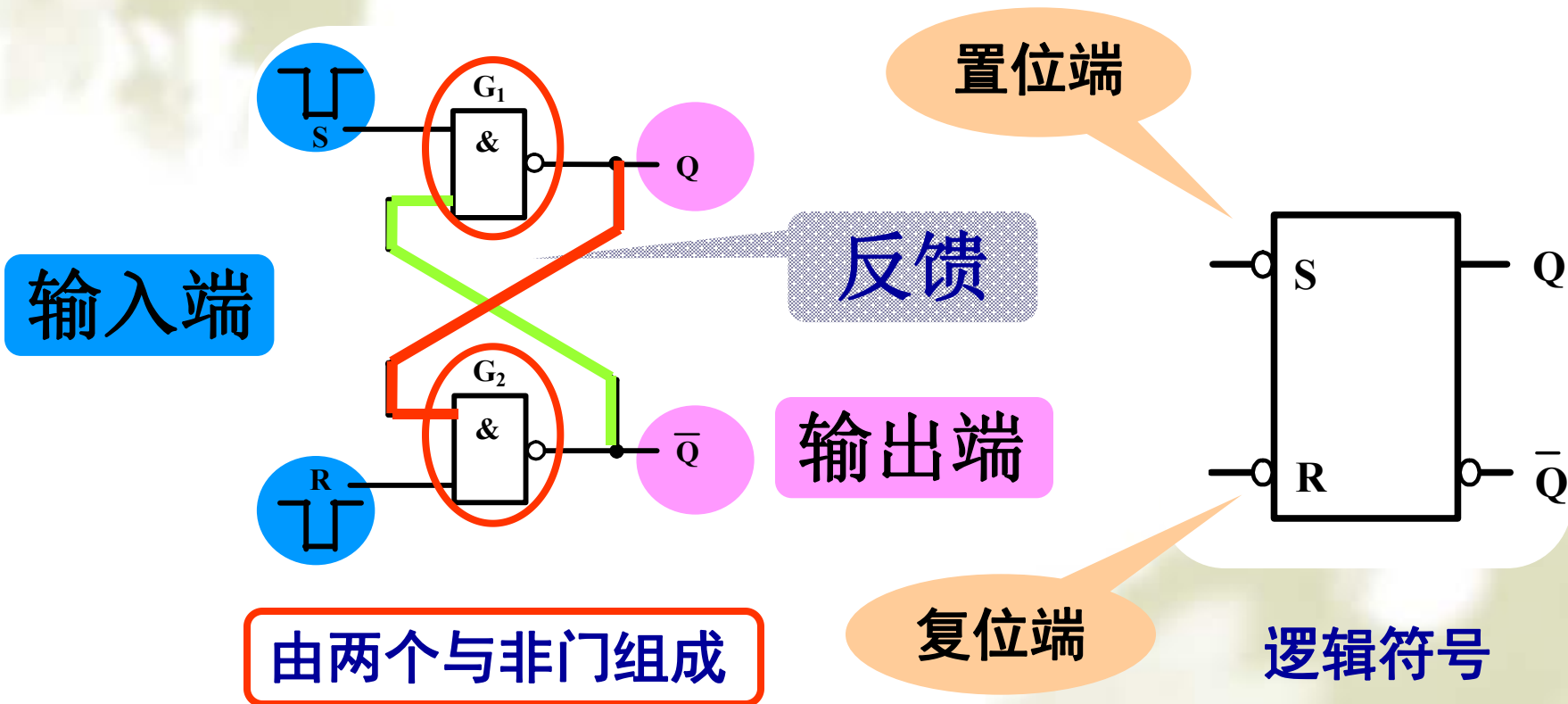
三、 D 触发器

四、 T 触发器

一、RS触发器



1. 基本RS触发器

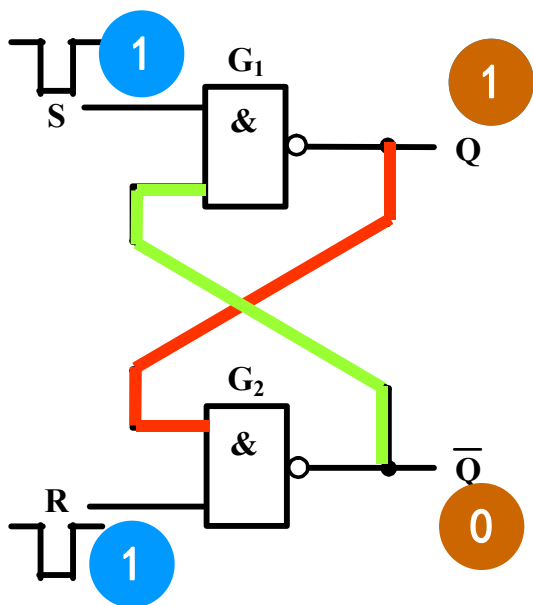


1 基本RS触发器

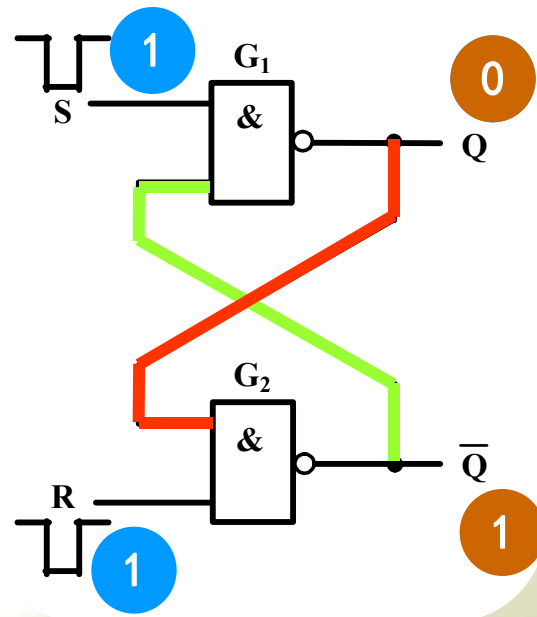


工作原理

1) 无有效电平输入 ($S=R=1$) 时, 触发器保持稳定状态不变



若初态 $Q^n = 1$



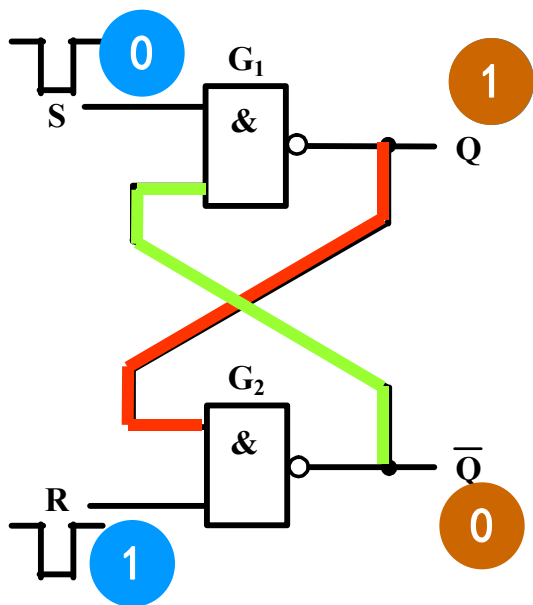
若初态 $Q^n = 0$

1 基本RS触发器

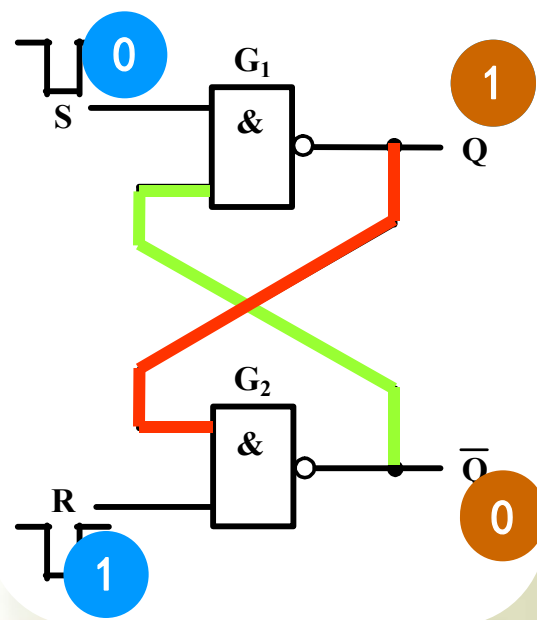


工作原理

2) 在有效电平作用下 ($S=0$ 、 $R=1$)，无论初态 Q^n 为0或1，触发器都会转变为1态。



若初态 $Q^n = 1$



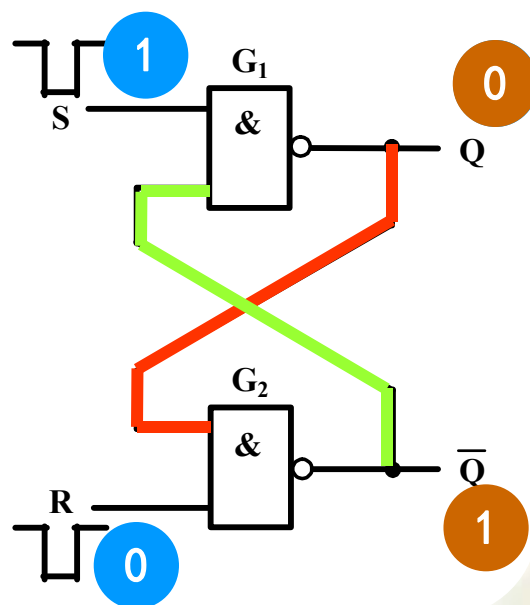
若初态 $Q^n = 0$

1 基本RS触发器



工作原理

3) 在有效电平作用下（ $S=1$ 、 $R=0$ ），无论初态 Q^n 为0或1，触发器都会转变为0态。



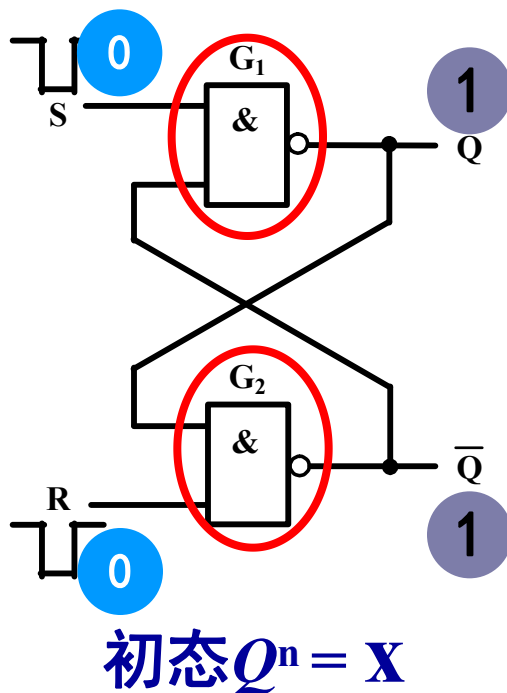
初态 $Q^n = X$

1 基本RS触发器



工作原理

4) 当 ($S=0$ 、 $R=0$) 时, 无论初态 Q^n 为0或1, 触发器状态不定。



此状态为不定状态。为避免不定状态, 对输入信号应加 $S+R=1$ 的约束条件。

逻辑功能：

$$\bar{S} = 1 \quad \bar{R} = 0 \quad Q^{n+1} = 0 \quad \overline{Q^{n+1}} = 1$$

触发器置1

$$\bar{S} = 0 \quad \bar{R} = 1 \quad Q^{n+1} = 1 \quad \overline{Q^{n+1}} = 0$$

触发器置0

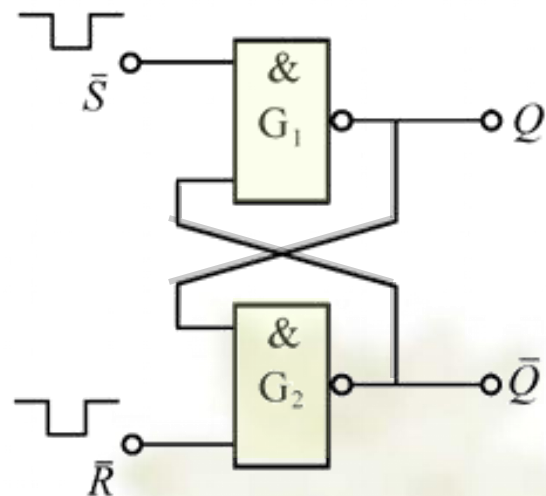
$$\bar{S} = 1 \quad \bar{R} = 1 \quad Q^{n+1} = Q^n \quad \overline{Q^{n+1}} = \overline{Q^n}$$

保持原状态

$$\bar{S} = 0 \quad \bar{R} = 0 \quad Q^{n+1} = 1 \quad \overline{Q^{n+1}} = 1$$

违背互补原则

与非门的逻辑关系：
有0得1
全1为0



在此基础上若两个输入信号同时回到1后，则触发器恢复到“0”状态还是“1”状态无法预测，这是非正常的情况，是工作中要避免的。

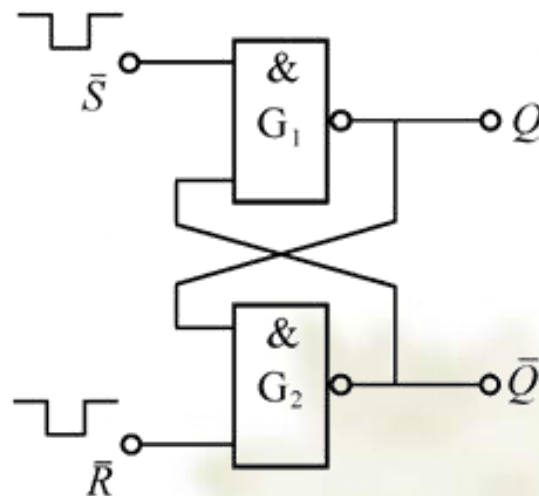


逻辑功能：

基本RS 触发器状态真值表

$\bar{S}$	$\bar{R}$	Q^{n+1}
1	0	0
0	1	1
1	1	Q^n
0	0	全 1

同撤则不变

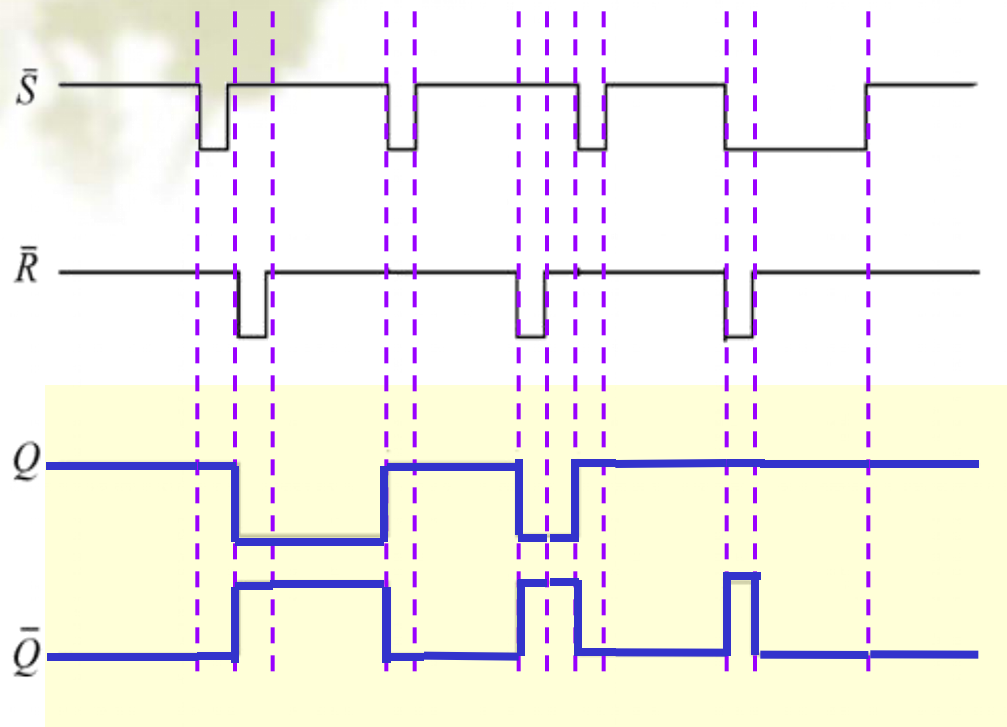


特性方程 $Q^{n+1} = S + \bar{R}Q^n$

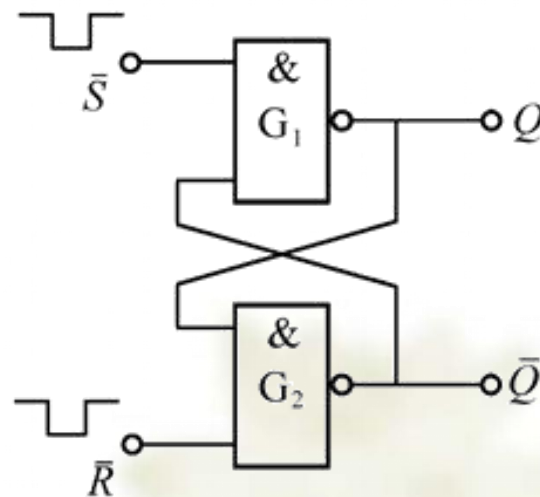
约束条件 $RS = 0$



输入输出波形：



动作特点：“一触即发”。



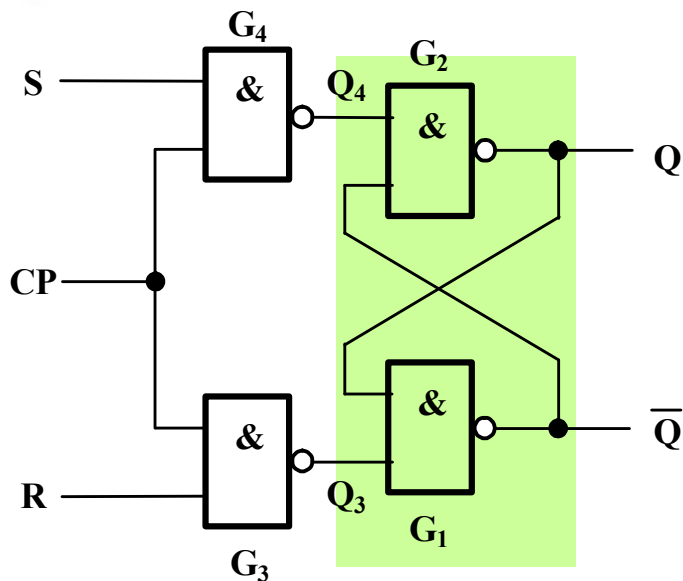
$\bar{S}$	$\bar{R}$	Q^{n+1}
1	0	0
0	1	1
1	1	Q^n
0	0	全 1
同撤则不变		

2 同步RS触发器

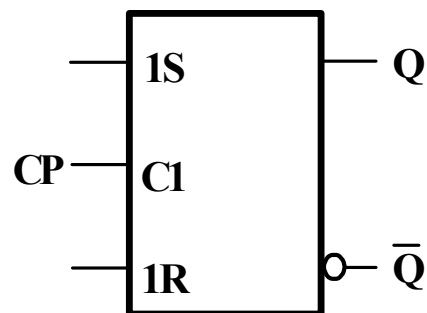


电路结构及逻辑符号

电路结构：由基本RS触发器和时钟脉冲控制门电路组成。



电路结构

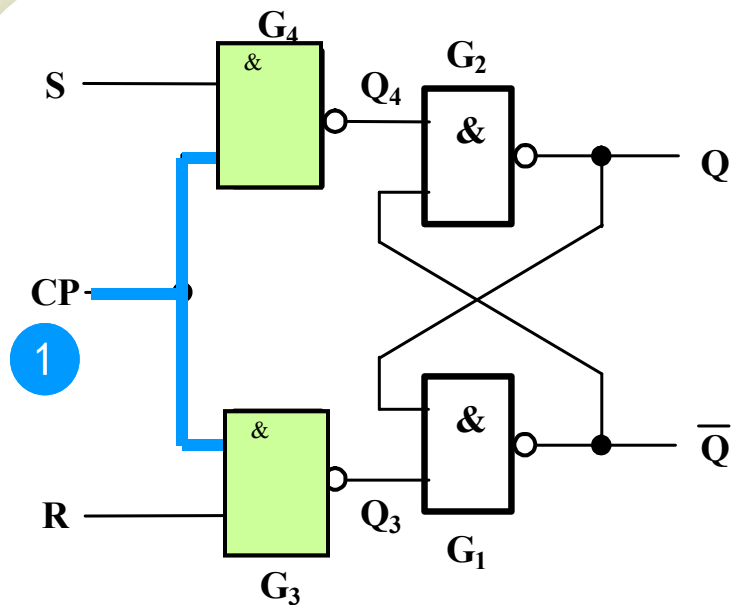


逻辑符号

2 同步RS触发器



工作原理



CP=0: 状态不变

CP=1: 状态发生变化。

- ❖ $S=0, R=0: Q^{n+1}=Q^n$
- ❖ $S=1, R=0: Q^{n+1}=1$
- ❖ $S=0, R=1: Q^{n+1}=0$
- ❖ $S=1, R=1: Q^{n+1}=\Phi$

触发方式

触发器为时钟高电平触发方式。

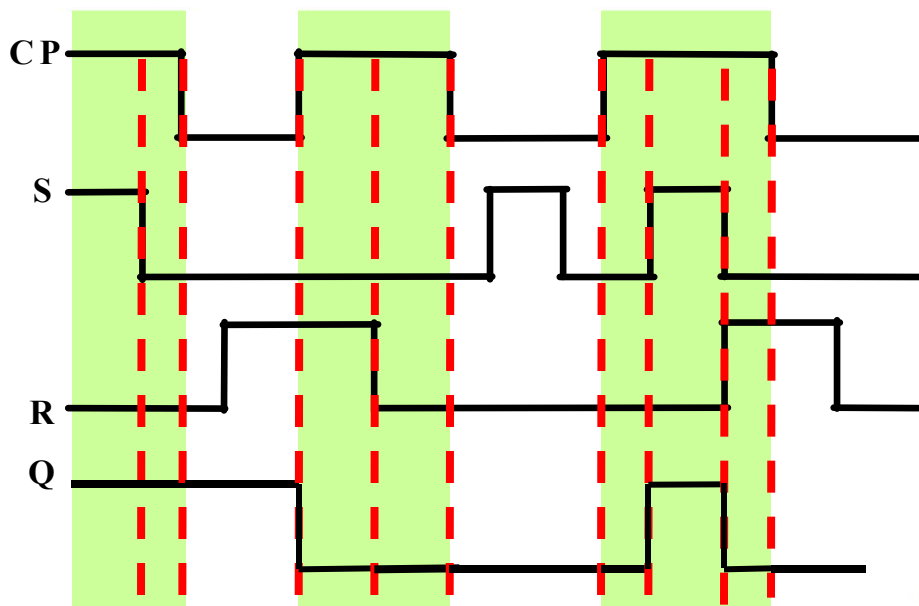
2 同步RS触发器



工作波形

在CP为高电平期间， R 、 S 信号影响触发器的状态。

在CP为低电平期间，触发器的状态不变。

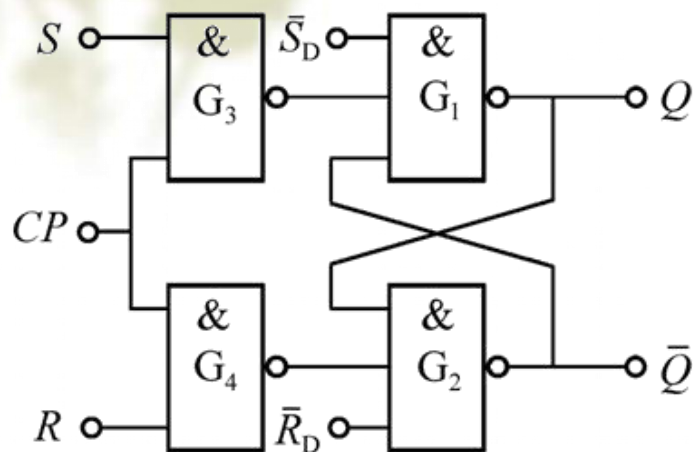


同步RS触发器真值表

	S	R	Q^{n+1}
●	0	0	Q^n
●	0	1	0
●	1	0	1
	1	1	Φ



逻辑功能:

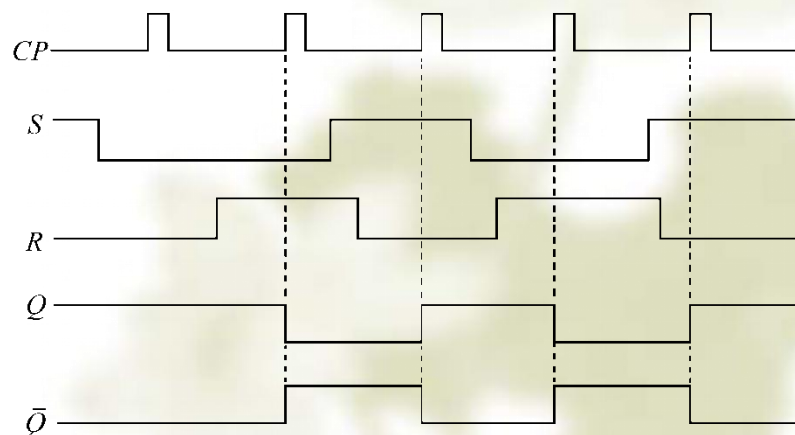


同步 RS 触发器状态真值表

CP	S	R	Q^{n+1}
0	任意	任意	Q^n
1	0	0	Q^n
1	0	1	0
1	1	0	1
1	1	1	全 0 撤则不定

特性方程 $Q^{n+1} = S + \bar{R}Q^n$

约束条件 $RS = 0$



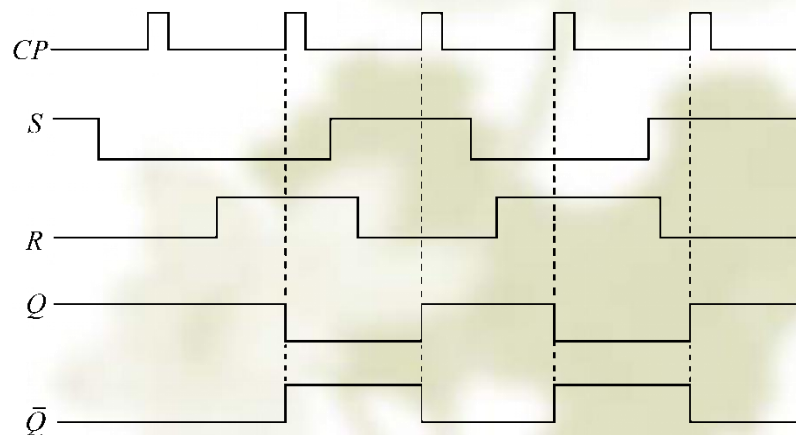


动作特点:

- ① $CP=1$ 期间触发;
- ② 有约束条件, 即不允许 R 和 S 同时等于1;
- ③ 存在空翻现象。

同步 RS 触发器状态真值表

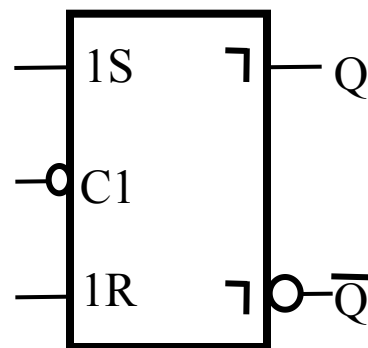
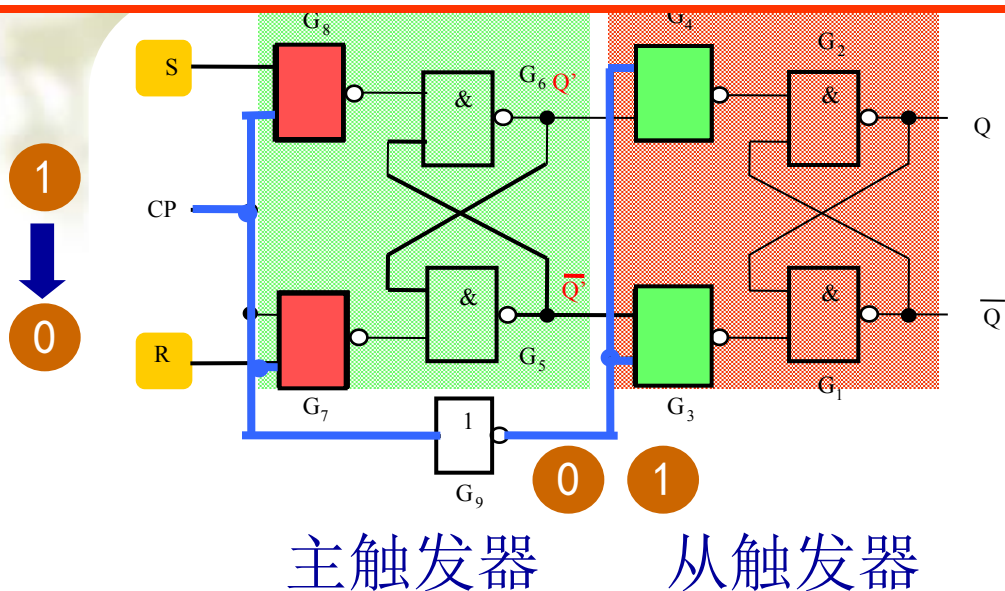
CP	S	R	Q^{n+1}
0	任意	任意	Q^n
1	0	0	Q^n
1	0	1	0
1	1	0	1
1	1	1	全0 撤则不定



主从触发器



触发器在时钟脉冲的负跳沿触发翻转，输入信号在 CP 正跳沿前加入。



逻辑符号

功能与同步 RS 触发器的功能一样。

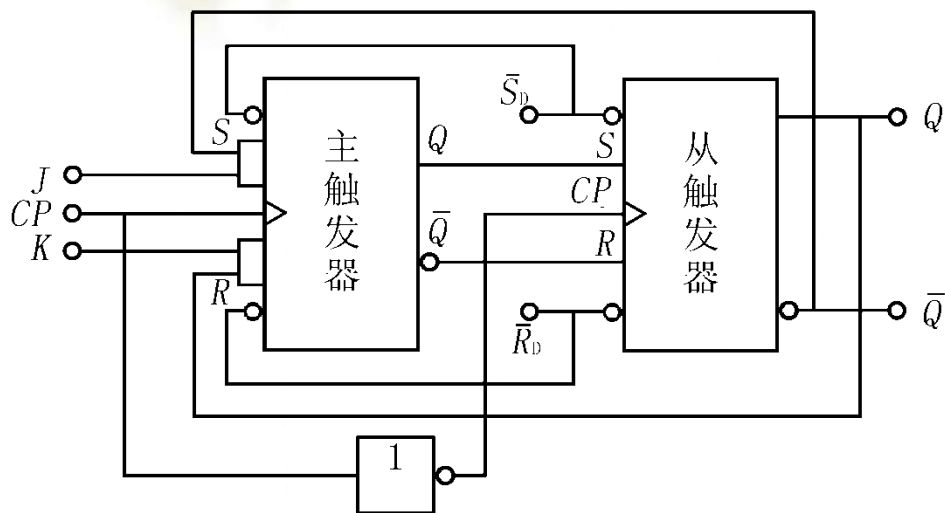
动作特征： CP 的高电平期间存储信号，在 CP 的低电平到来时触发器状态变化。



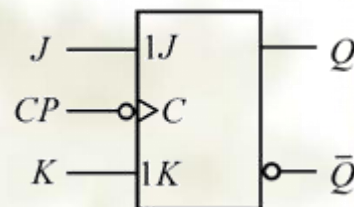
二、 JK 触发器

结构

逻辑符号



控制端

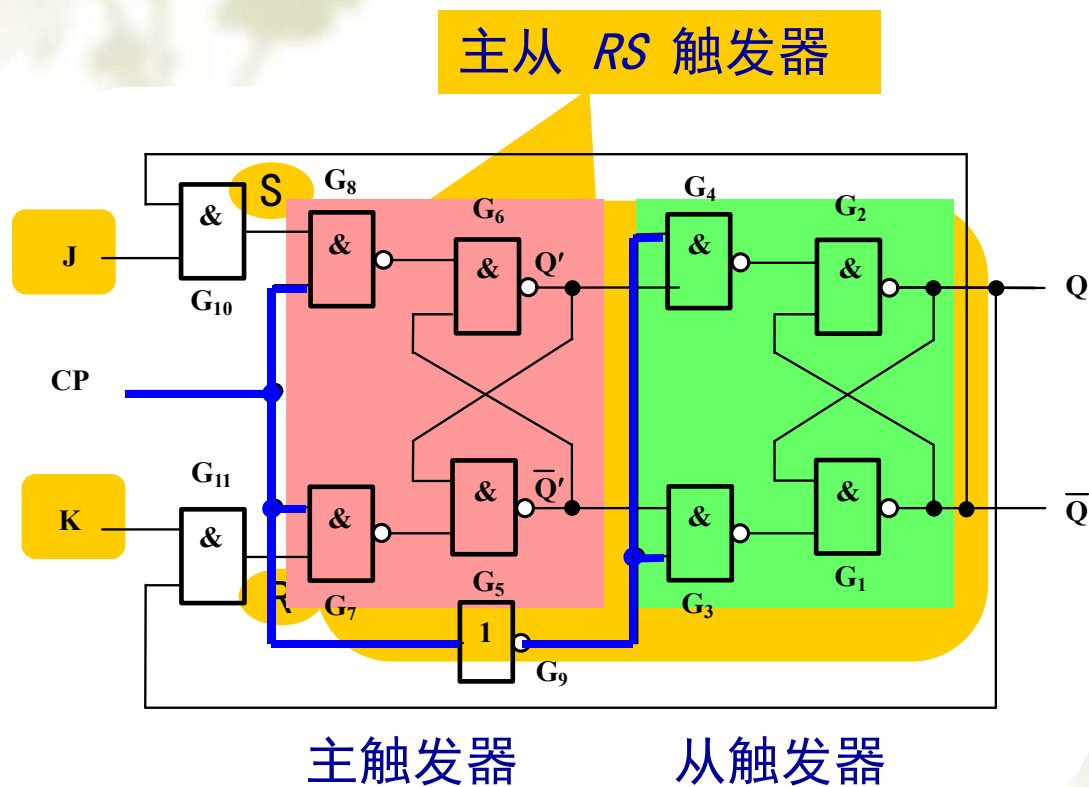


JK触发器

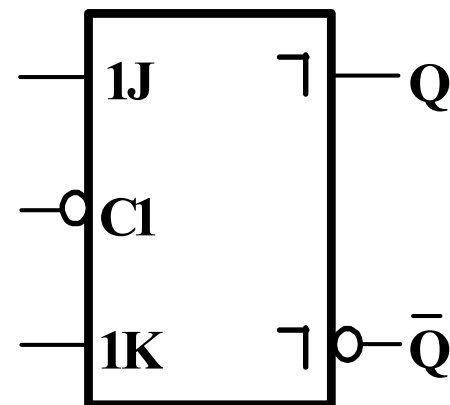


主从 JK 触发器

(1) 电路结构：由主从RS 触发器和信号控制门组成。



逻辑符号



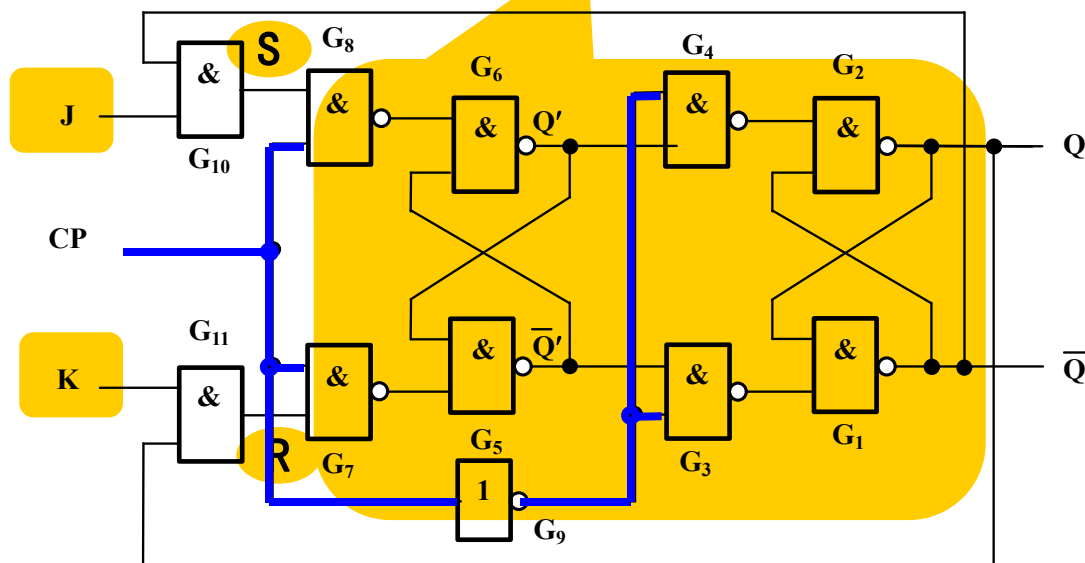
JK触发器



主从 JK 触发器

(2) 逻辑功能

主从 RS 触发器



· 特性方程

$$\begin{cases} Q^{n+1} = S + \overline{R} Q^n \\ SR = 0 \end{cases}$$

将 $S = J\overline{Q}$
 $R = KQ$

代入上式，得到 JK 触发器的特性方程：

$$\begin{aligned} Q^{n+1} &= J\overline{Q}^n + \overline{K}Q^n \\ &= J\overline{Q}^n + \overline{K}Q^n \end{aligned}$$

JK触发器



主从 JK 触发器

· 功能表

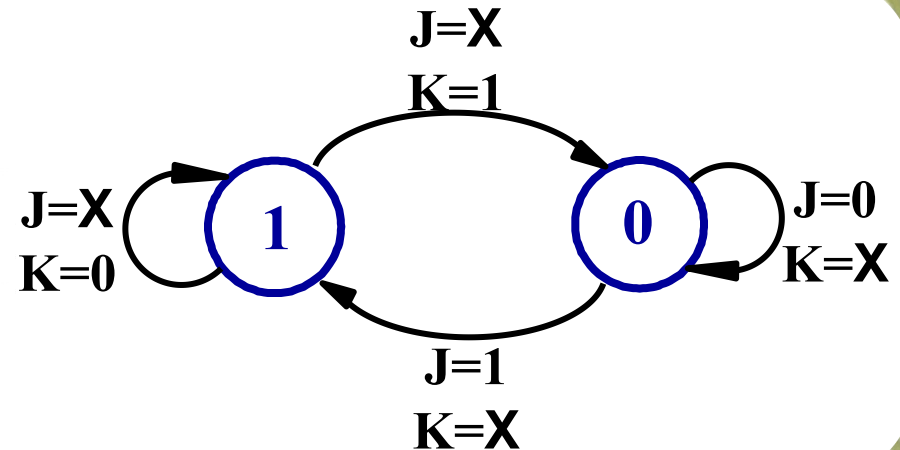
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	} Q^n 状态不变
0	0	1	1	
0	1	0	0	} 0 置 0
0	1	1	0	
1	0	0	1	} 1 置 1
1	0	1	1	
1	1	0	1	} $\overline{Q^n}$ 翻 转
1	1	1	0	

· 特性方程

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

· 状态转换

图



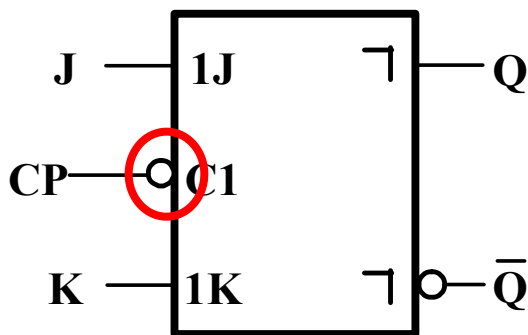
任何结构的 JK 触发器都具有与以上相同的功能表、特性方程及状态转换图。

主从JK 触发器

工作波形

已知CP脉冲的周期为 T ，在CP脉冲的高电平期间，触发器的初态为0，输入信号在CP脉冲的低电平期间起作用。

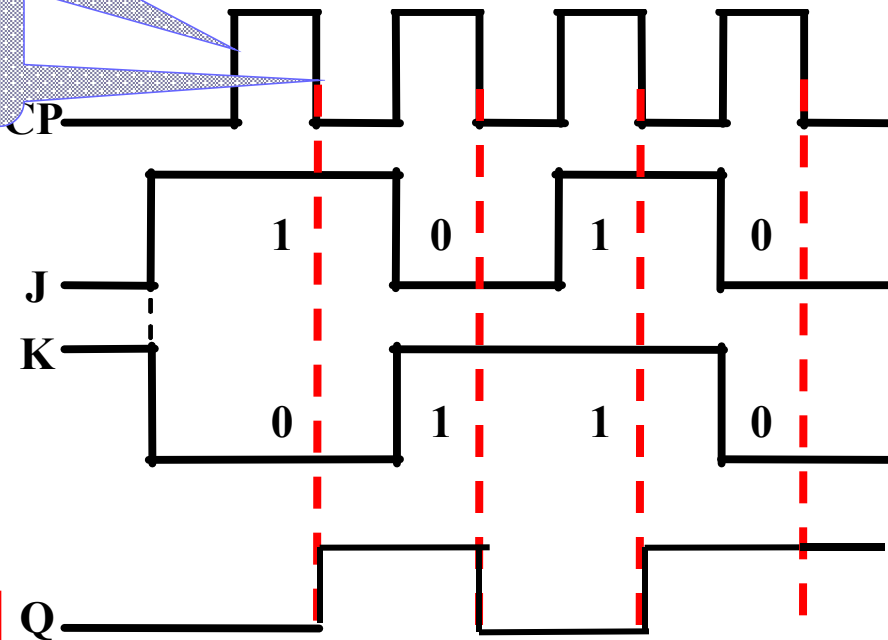
在CP脉冲的低电平到来时发生状态变化。



在高电平处接收输入信号

JK触发器真值表

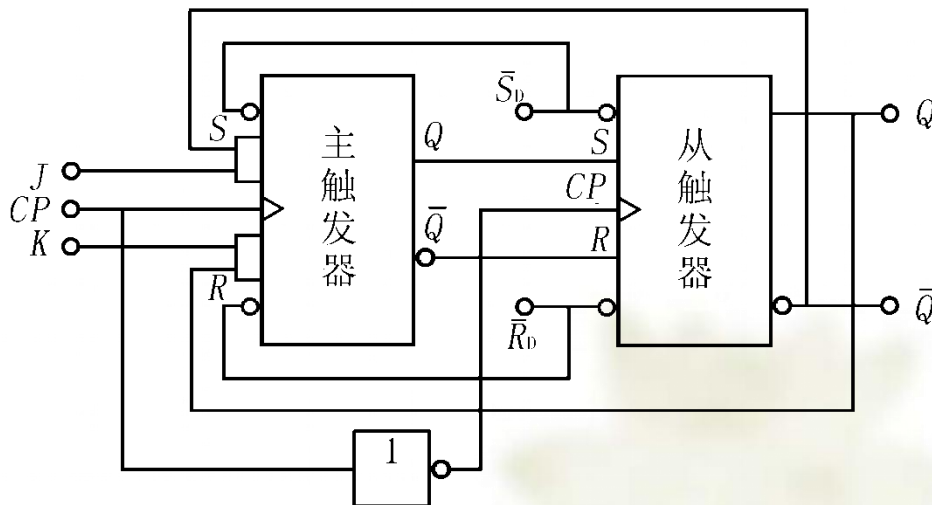
J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\bar{Q}^n$





逻辑功能:

两个触发器都是同步 RS 触发器，会在时钟脉冲高电平期间动作。而 CP 通过一个非门给两个触发器提供时钟脉冲。



在 CP 的上升沿到来时，主触发器动作，
在 CP 的下降沿到来时，从触发器动作。

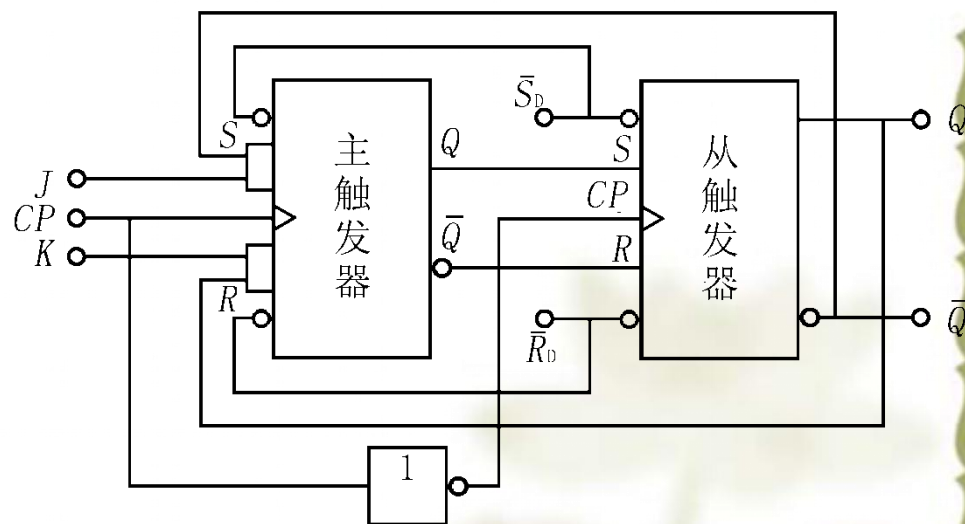




逻辑功能:

JK 触发器状态真值表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$



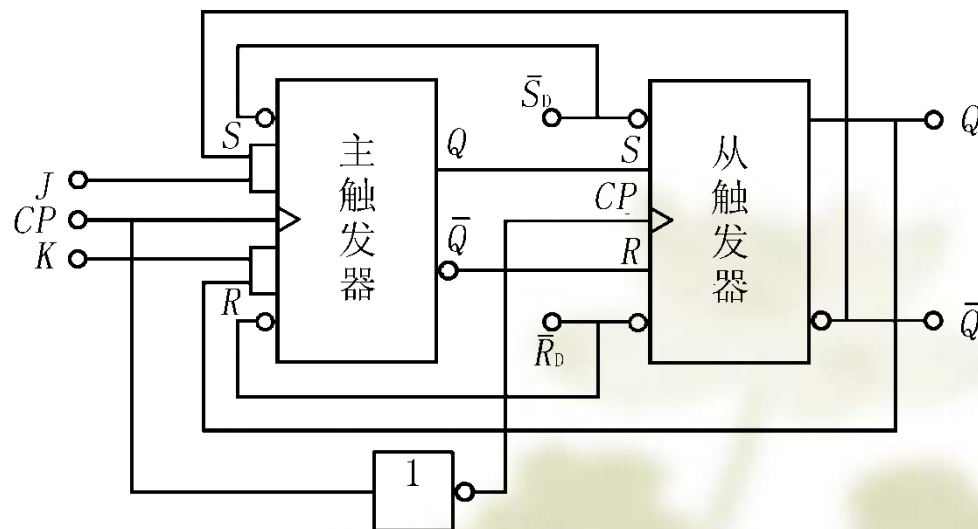
特性方程 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

无约束条件



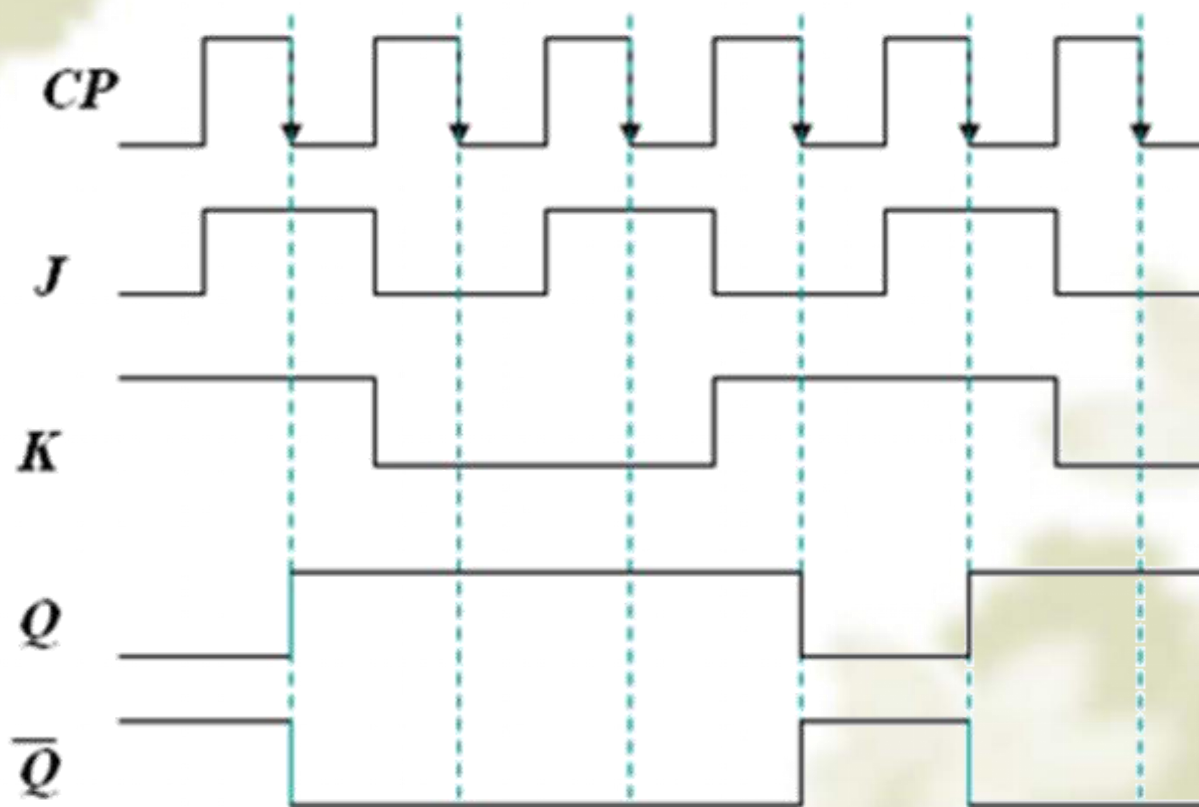
动作特点:

- ① 在时钟脉冲下降沿触发;
- ② 不需要输入信号满足约束条件;
- ③ 不会出现空翻现象。





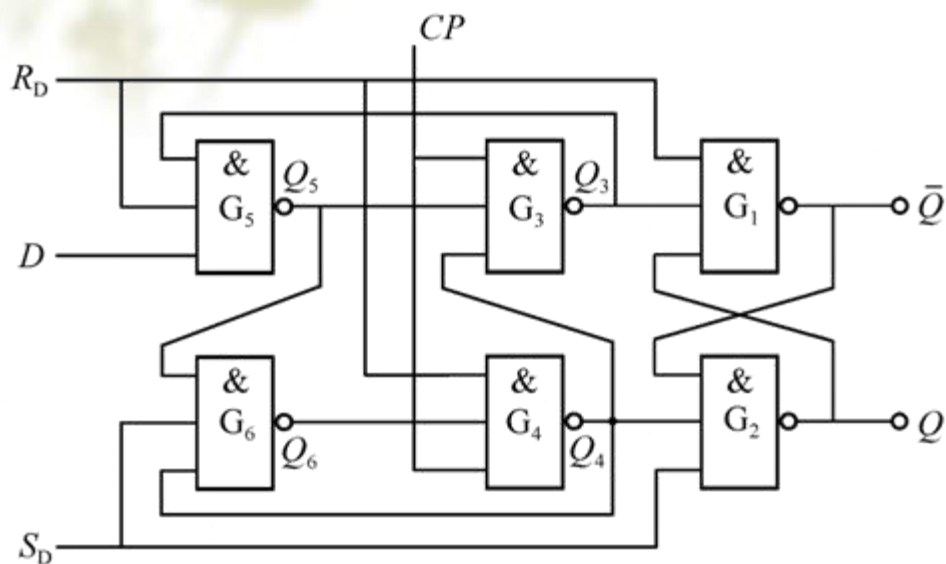
输入输出波形：



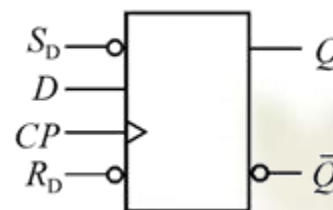


三、 D 触发器

结构



逻辑符号

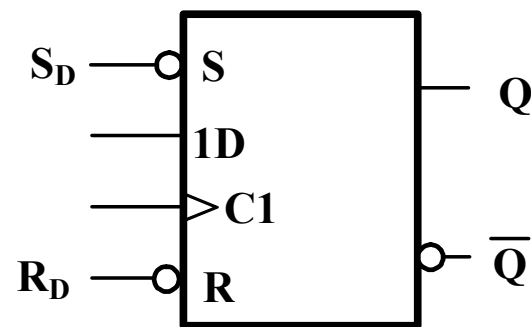
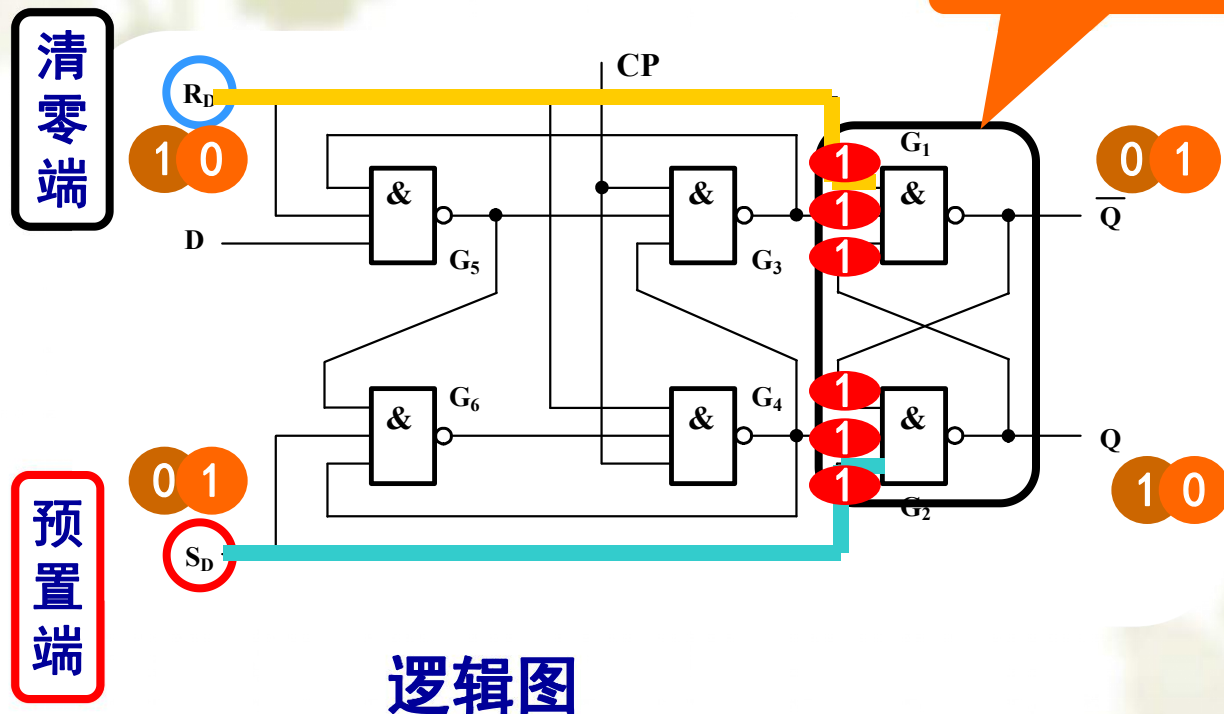


边沿触发器通常采用维持阻塞结构，又称维持阻塞触发器。

边沿触发器-维持阻塞D触发器



(1) 电路结构和逻辑符号



S_D 、 R_D 分别为直接置1和置0 信号，低电平有效。

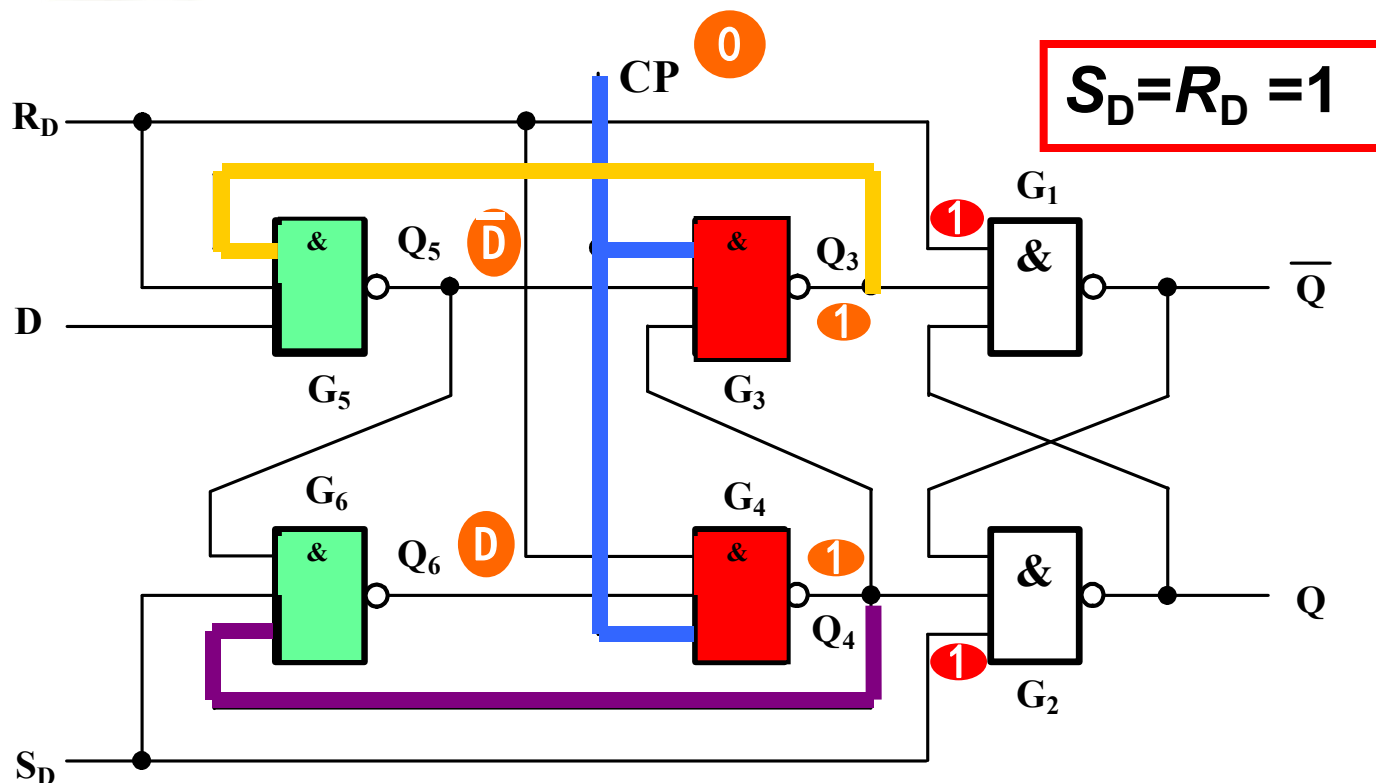
边沿触发器-维持阻塞D触发器



(2)、工作原理

CP = 0

CP = 0 期间D信号存于Q6



$$Q_5 = \overline{D}$$

$$Q_6 = D$$

$$Q^{n+1} = Q^n$$

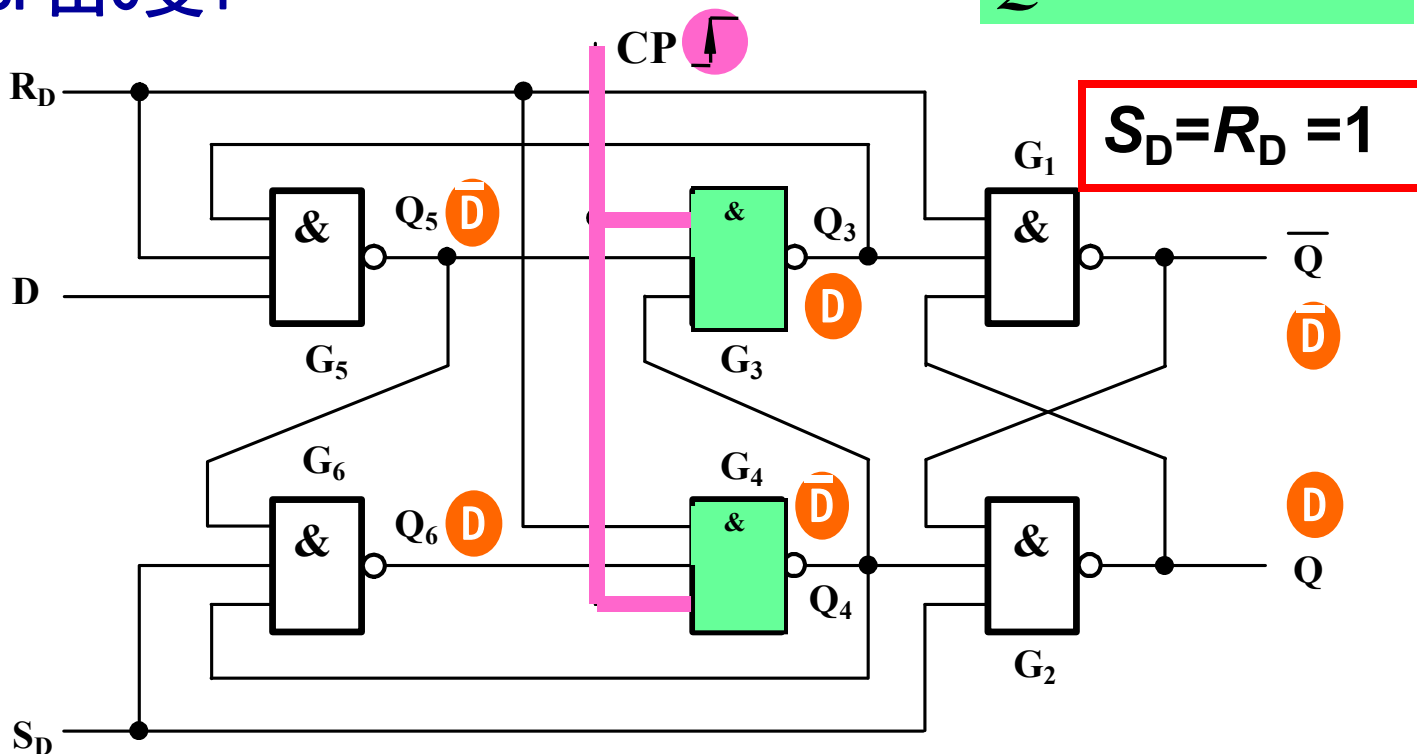
边沿触发器-维持阻塞D触发器



(2) 工作原理

CP由0变1

$$\overline{Q}^n, Q^{n+1} = D$$



在CP脉冲的上升沿到来时，触发器的状态改变，且与D信号相同

边沿触发器



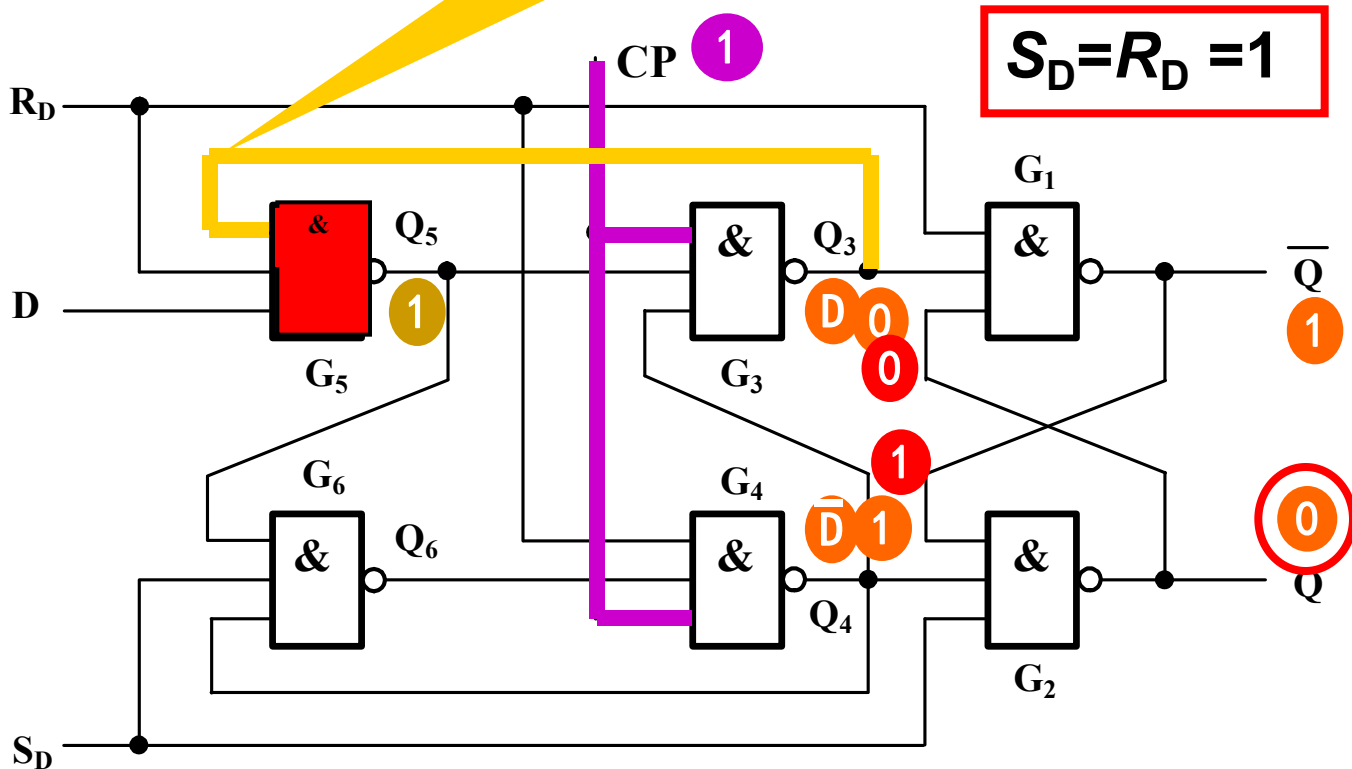
(2) 工作原理

CP=1

置0维持线,
置1阻塞线

若 $Q_3=0$, $Q_4=1$

$S_D=R_D=1$



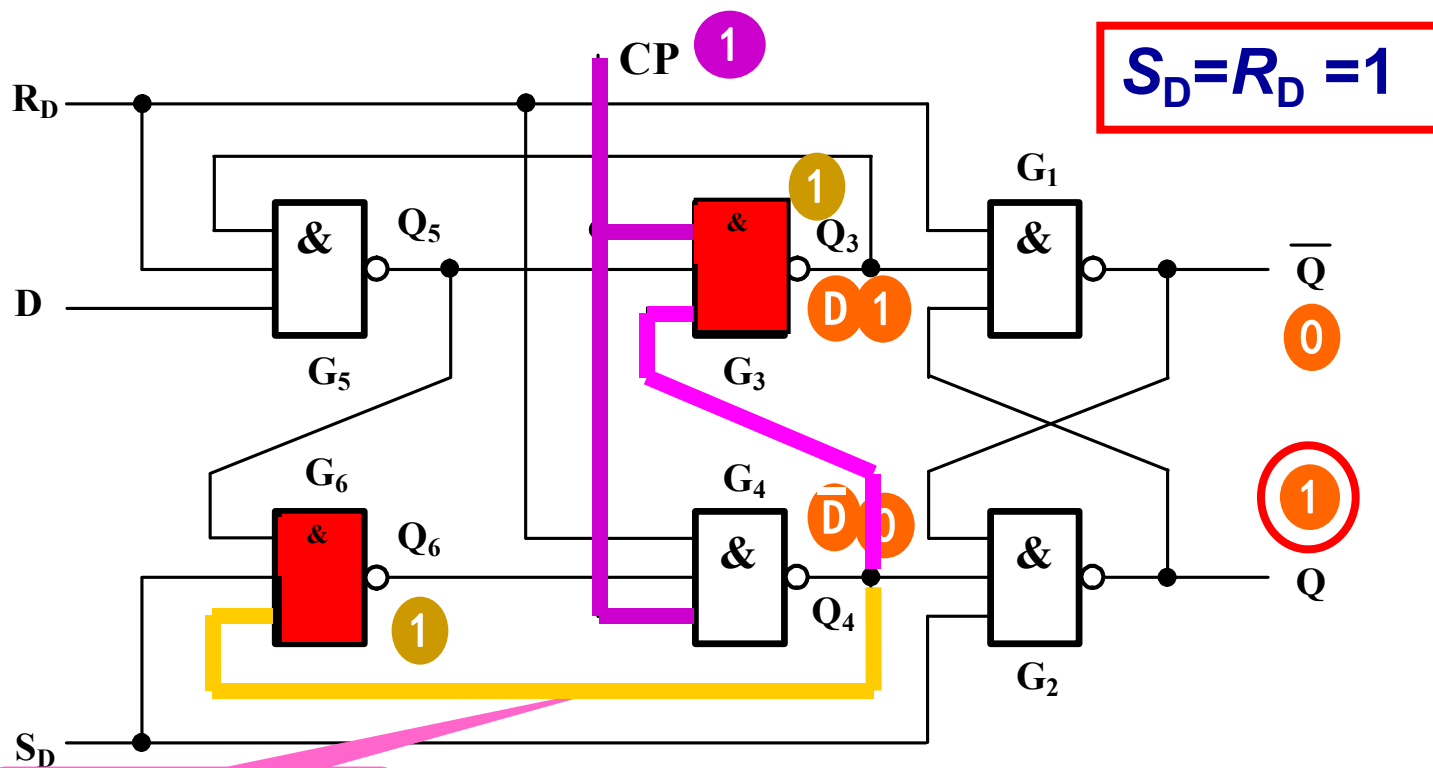
边沿触发器-维持阻塞D触发器



(2) 工作原理

CP=1

若 $Q_3=1$, $Q_4=0$

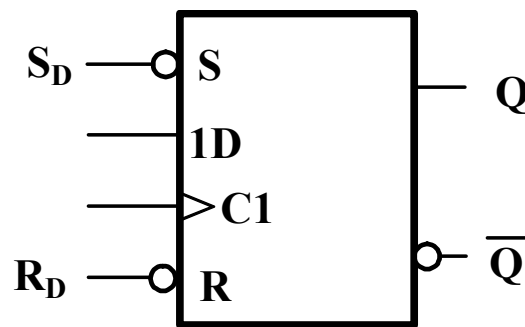
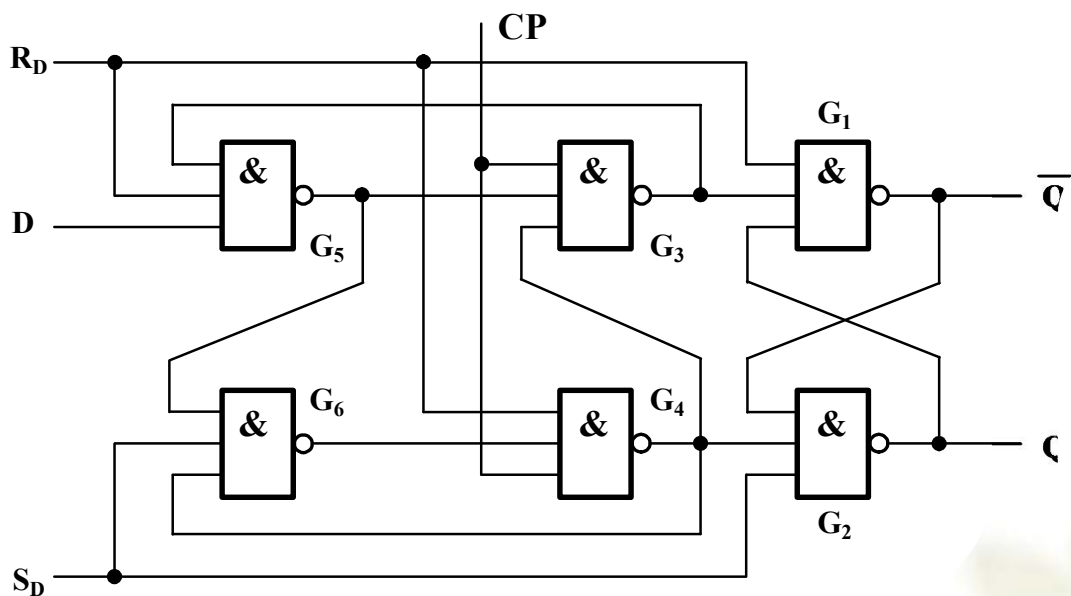


置1维持线, 置0阻塞线

边沿触发器-维持阻塞D触发器



(3) 触发方式



逻辑符号

维持阻塞D触发器在CP脉冲的上升沿产生状态变化，属上升沿触发方式。其次态取决于CP脉冲上升沿到达前瞬间D端的信号。

边沿触发器-维持阻塞D触发器



(4) 逻辑功能

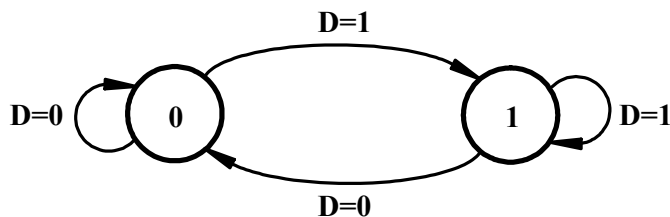
特性方程

$$Q^{n+1} = D$$

逻辑功能表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

状态转换图



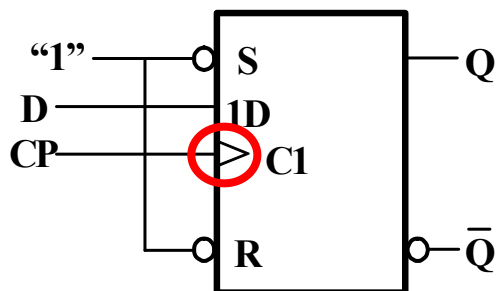
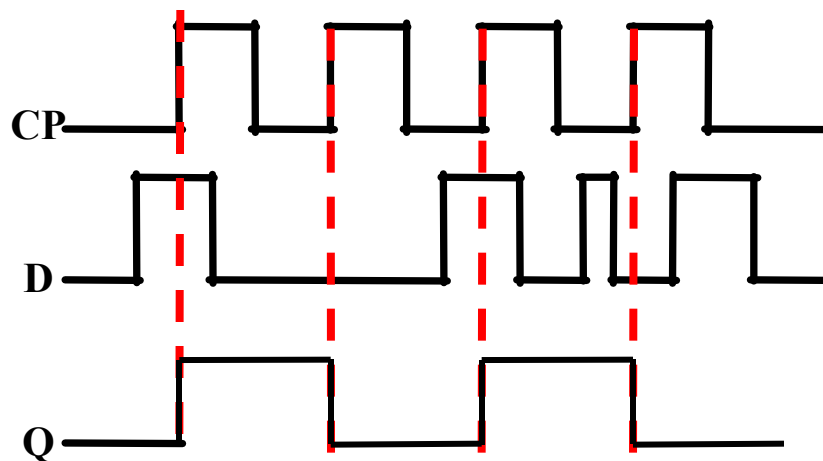
边沿触发器-维持阻塞D触发器



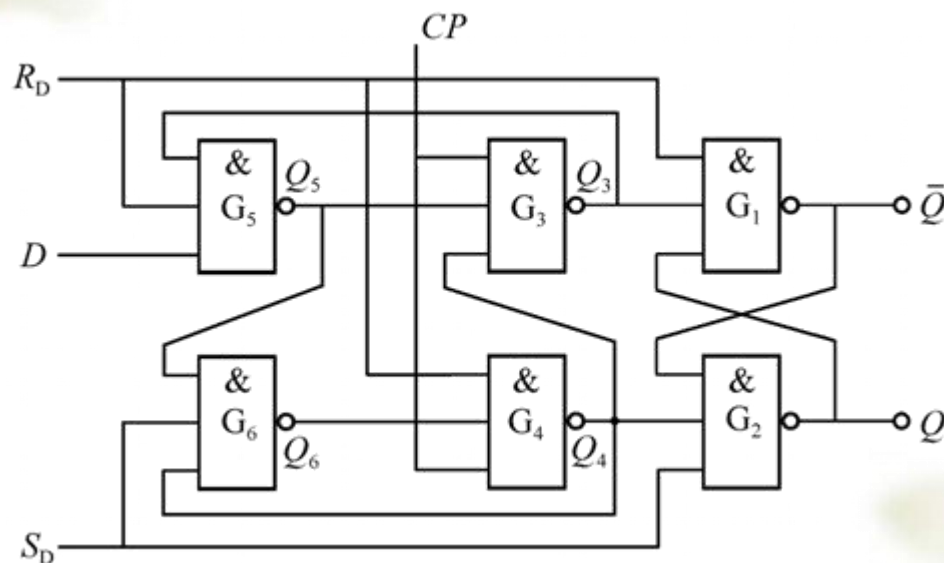
工作波形

D 触发器的逻辑功能表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1



维持阻塞D触发器状态变化产生在时钟脉冲的上升沿，其次态决定于该时刻前瞬间输入信号D。



触发器输入信号的上升沿前接收输入信号，在上升沿触发，利用内部的维持和阻塞线，使上升沿后即被封锁，没有约束条件，没有空翻现象产生，有很强的抗干扰能力。



逻辑功能:

在时钟脉冲的上升沿动作

特性方程: $Q_{n+1} = D$ 。

D 触发器状态真值表

D	Q^{n+1}
0	0
1	1



例：用J-K触发器实现D触发器的功能。

- JK触发器特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

- D触发器特性方程

$$Q^{n+1} = D$$

- 变换D触发器特性方程形式

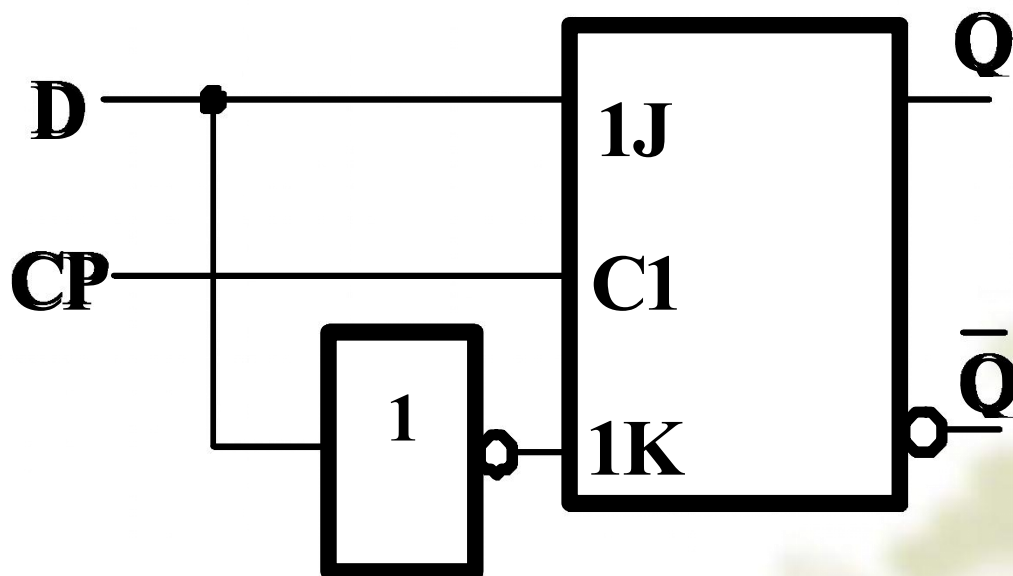
$$Q^{n+1} = D(\overline{Q}^n + Q^n) = D\overline{Q}^n + DQ^n$$

- 比较可得，

$$J = D, K = \overline{D}$$



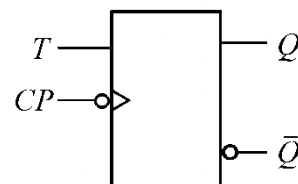
例题1：用J-K触发器实现D触发器的功能。





四、T 触发器

在时钟脉冲的控制下，根据输入信号 T 取值的不同，具有保持和翻转功能的电路，叫做 T 触发器。



T 触发器的状态真值表

T	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

特性方程

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

T 触发器



只要将JK触发器的J、K端连接在一起作为T端 ($J = K = T$), 就构成了T触发器.

1) 特性方程

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n = T \oplus Q^n$$

2) T触发器逻辑功能表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

T触发器的功能是T为1时, 为计数状态, T为0时为保持状态



第二节 时序逻辑电路

- 一、数码寄存器
- 二、移位寄存器
- 三、二进制计数器
- 四、十进制计数器



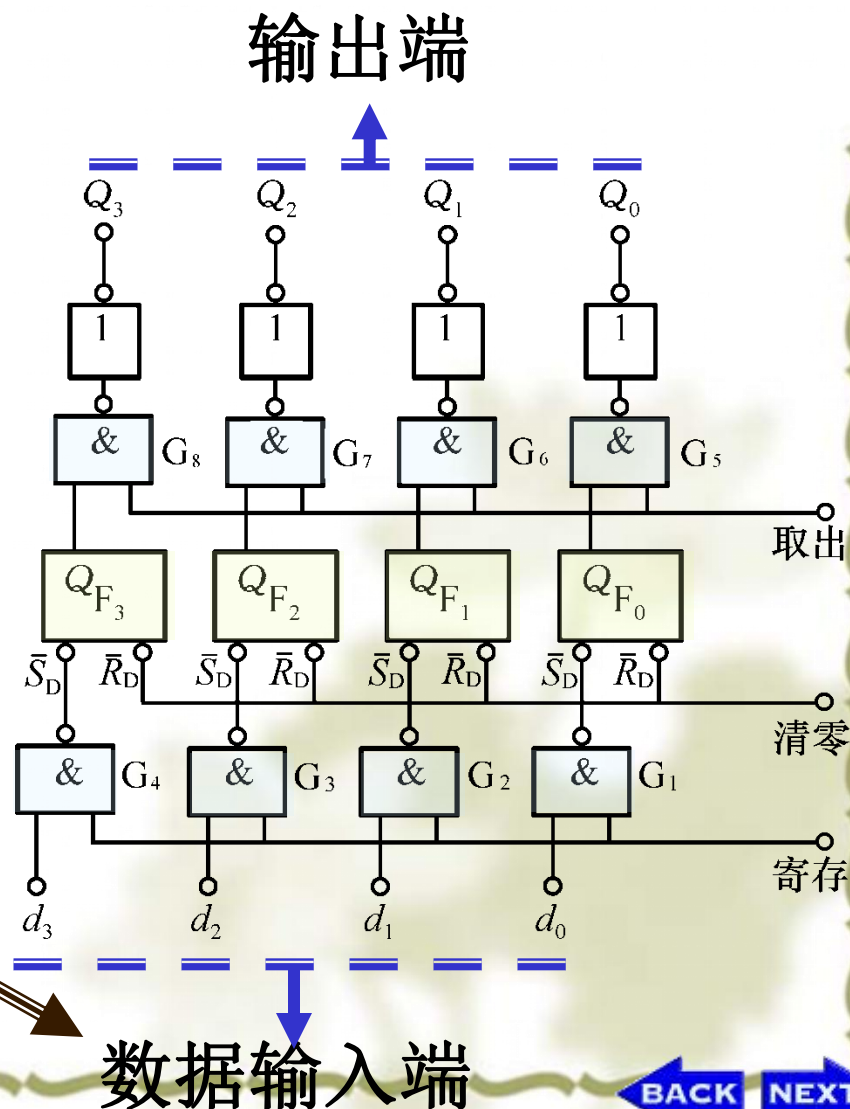
一、数码寄存器

结构

四个基本 RS 触发器
八个与非门

输入输出方式

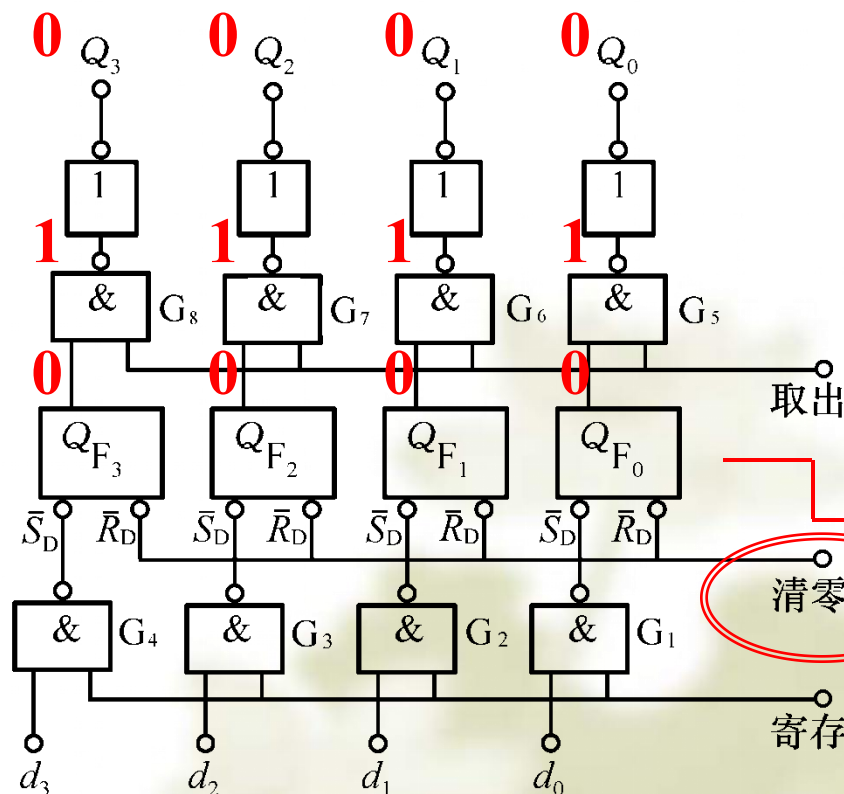
并行输入—
并行输出方式



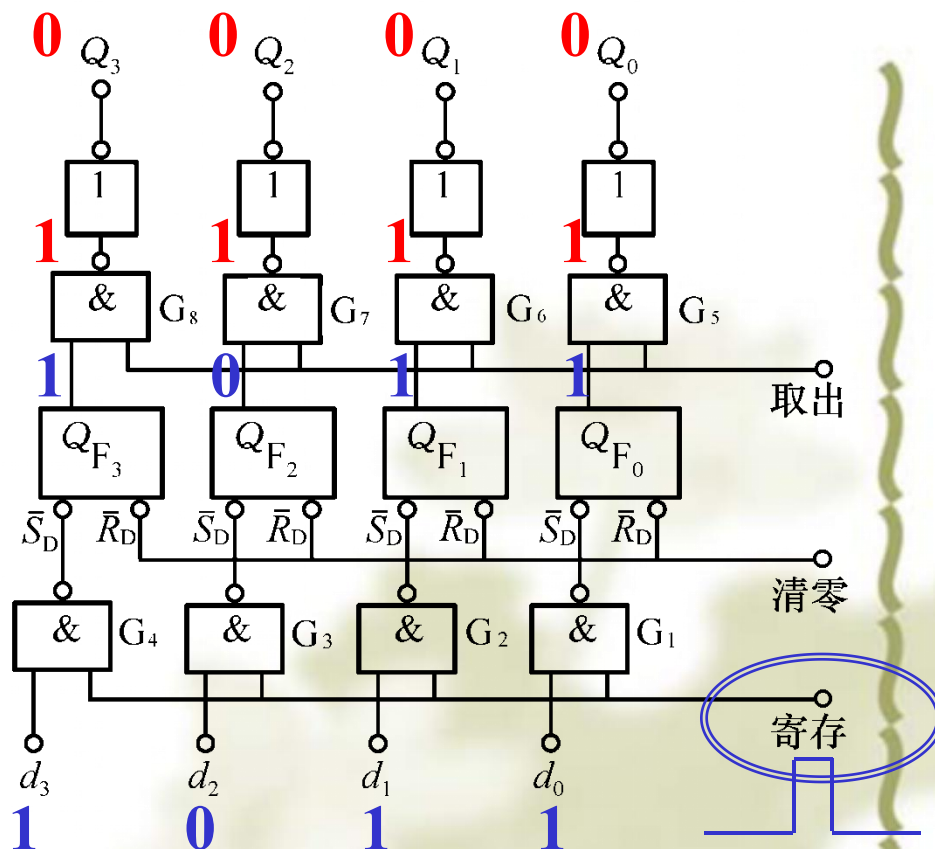


清零:

清零指令为负脉冲，这个指令的到来，可使四个基本 *RS* 触发器复位，并通过与非门及四个非门将寄存器的输出端置0。在清零时寄存指令应处于无效的低电平。



当寄存指令来到时（高电平），G1、G2、G4输出为0，使F0、F1、F3置1；G3输出仍为1，F2的状态不变仍为0，数码寄存完毕。

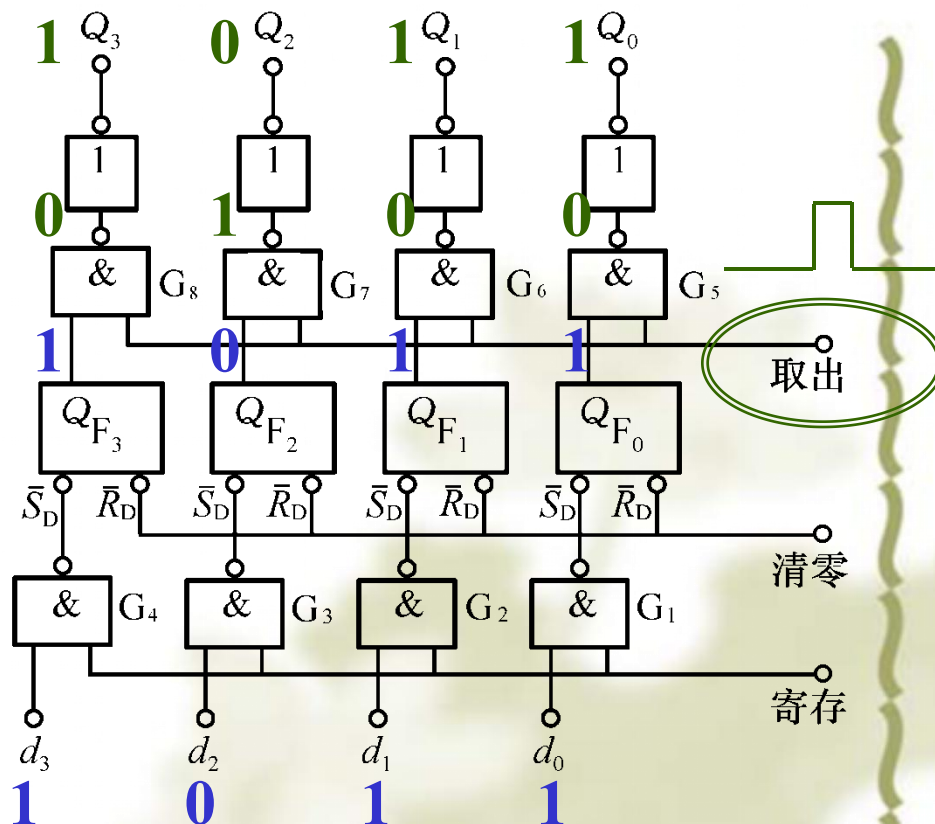




取出:

取出指令为加在取出端的正脉冲，在其到来之前（低电平）， “与非” 门G5~G8输出为1，经“非”门反相后，输出端Q3Q2Q1Q0=0000；

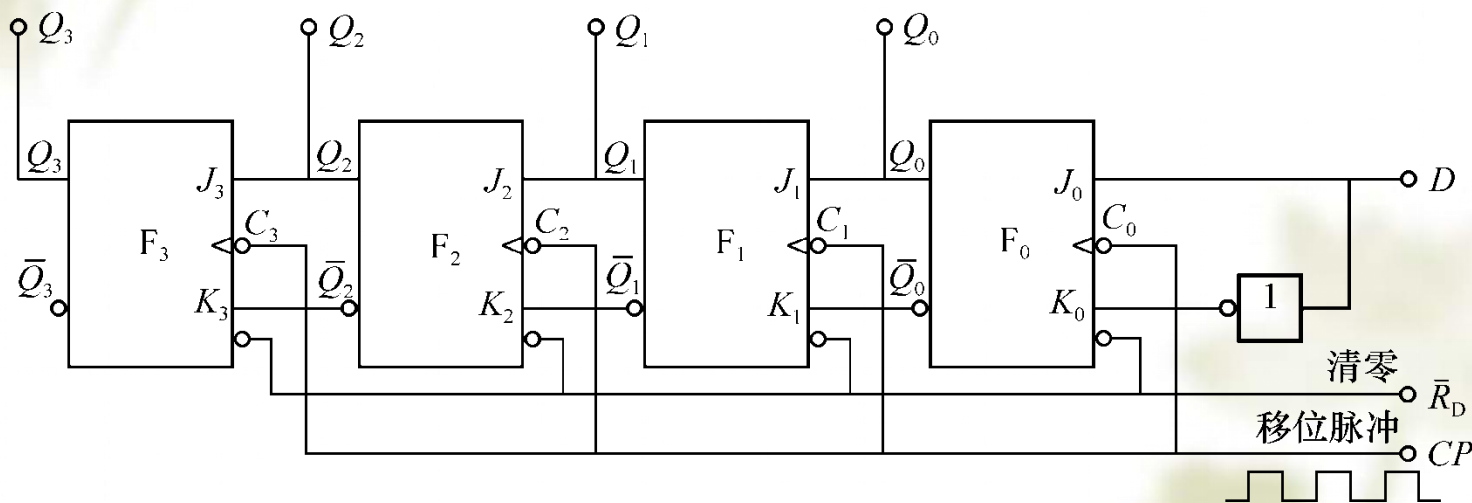
若要取出时，给取出指令（高电平），由于F0~F3输出端存有数据1011，“与非”门G5、G6、G8输出为0，G7输出仍为1，经“非”门反相后，输出端Q3Q2Q1Q0=1011。



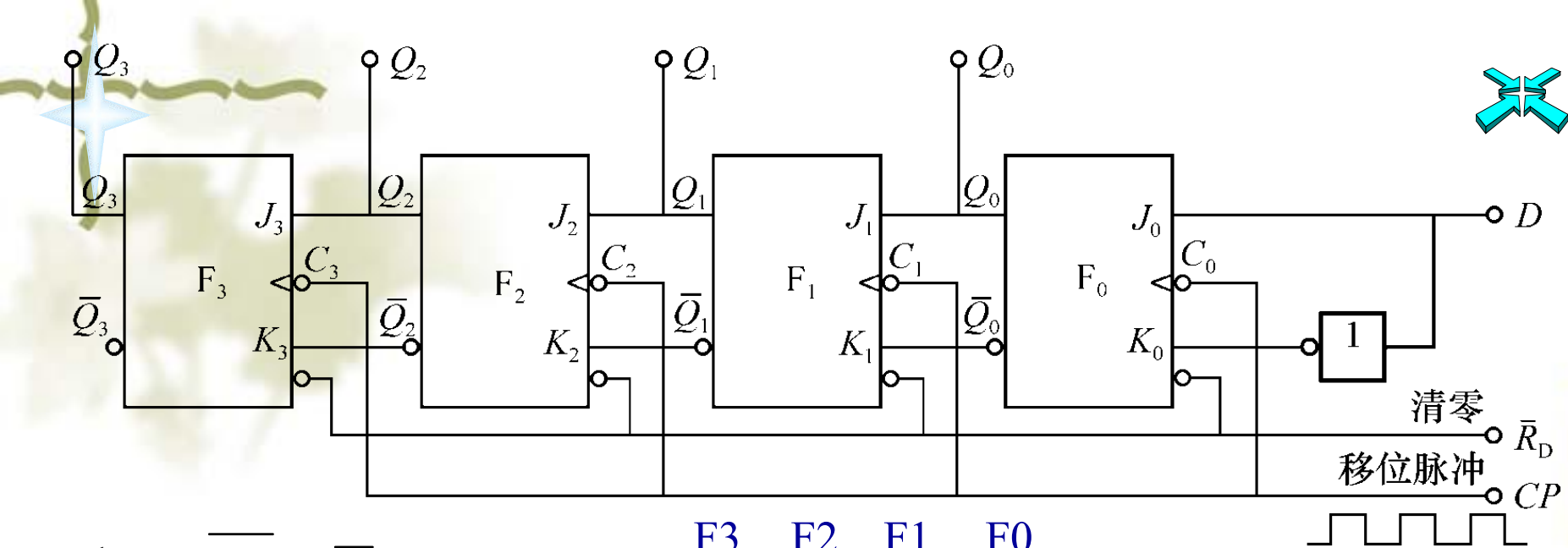


二、移位寄存器

由JK 触发器组成



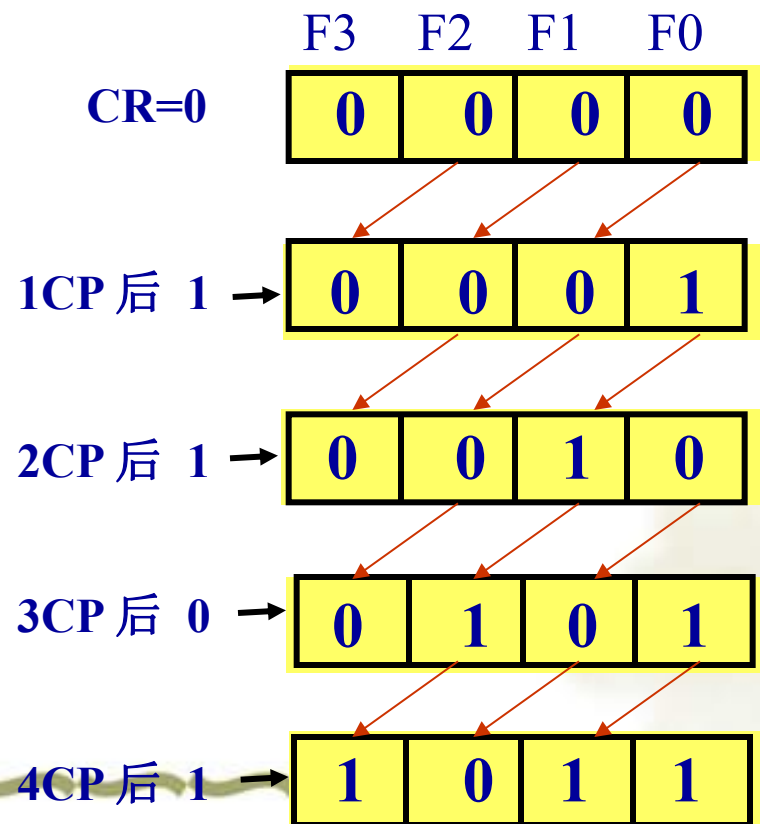
由JK 触发器组成的四位移位寄存器,四位左移寄存器。此移位寄存器属于串行输入-串/并行输出左移寄存器。 F_0 接成D触发器,数码由D端输入。



$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

$$Q^{n+1} = J\overline{Q^n} + \overline{J}Q^n$$

$$Q^{n+1} = J(\overline{Q^n} + Q^n) = J$$

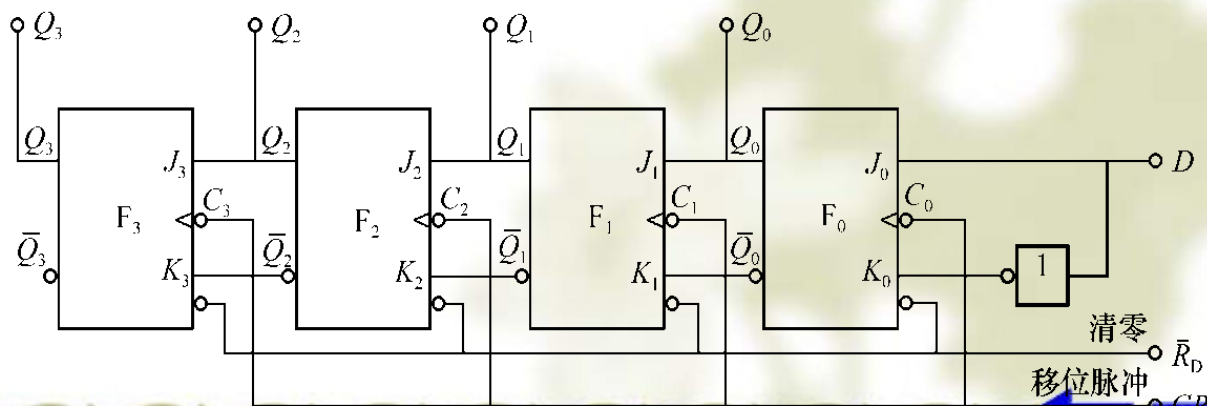


可以从四个触发器的Q端并行输出数码。再经过四个移位脉冲，也可逐位从Q₃端由高位到低位串行输出。



寄存器的状态表

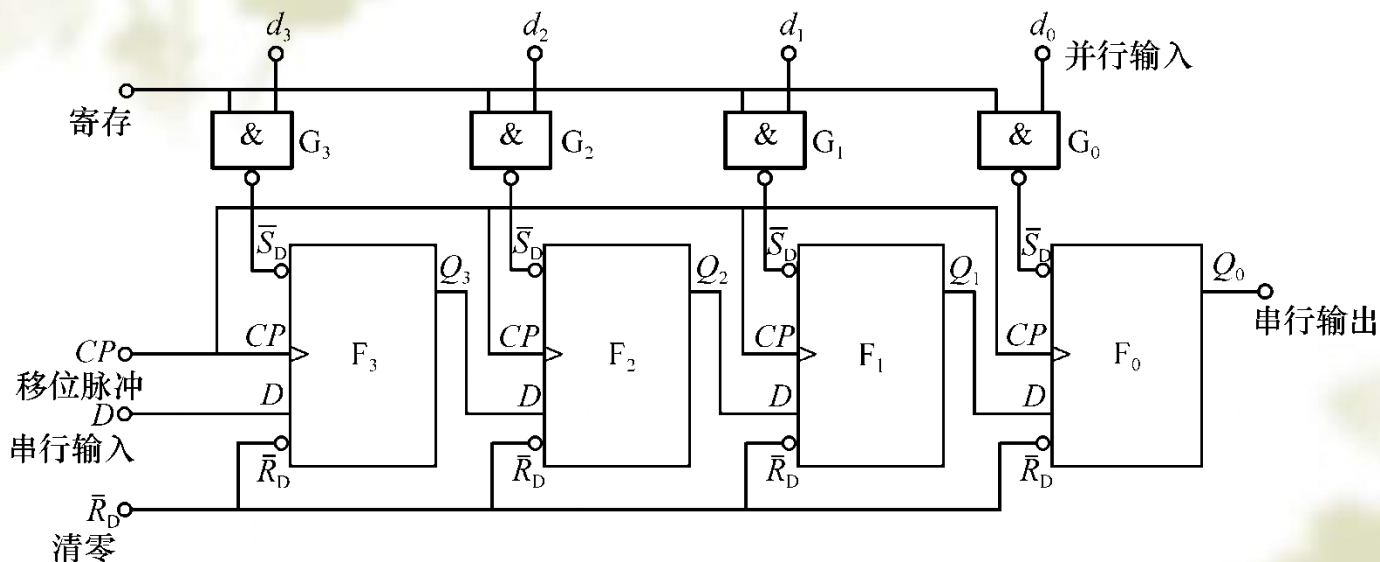
移位脉冲数目	寄存器中的数据				移位情况
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	清零
1	0	0	0	1	左移一位
2	0	0	1	0	左移二位
3	0	1	0	1	左移三位
4	1	0	1	1	左移四位





二、移位寄存器

由D 触发器组成



由维持阻塞型D 触发器组成的四位移位寄存器

既可并行输入/串行输出，又可以串行输入/串行输出。清零指令为加在清零端的负脉冲，寄存指令为加在寄存端的正脉冲。

单向移位寄存器



单向移位寄存器（串入/串出、并出、右移）

把若干个触发器串接起来，就可以构成一个移位寄存器。

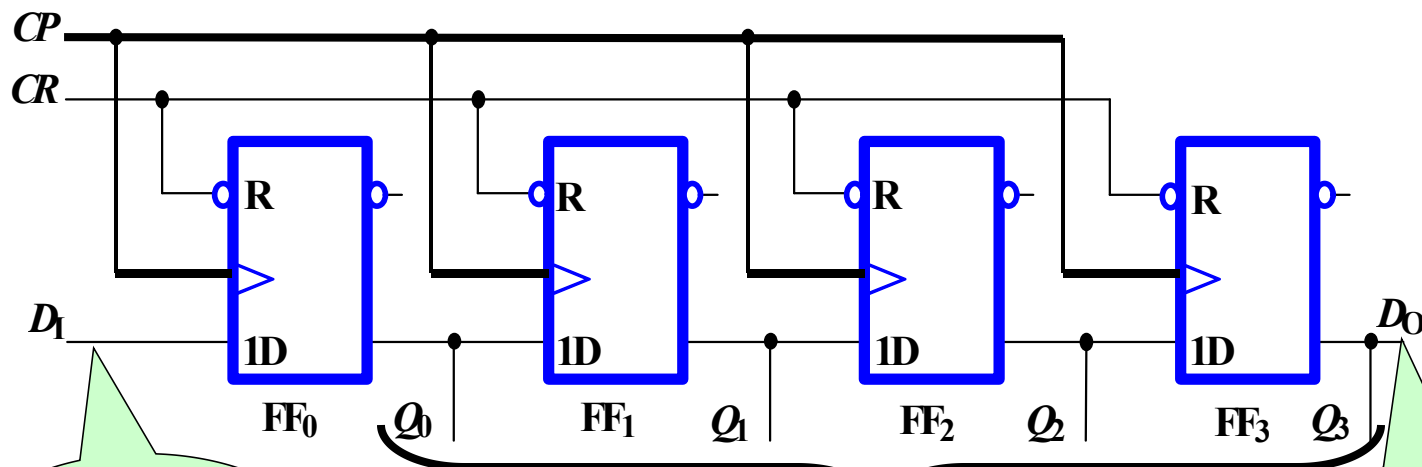


图7.2.2

串行数据
输入端

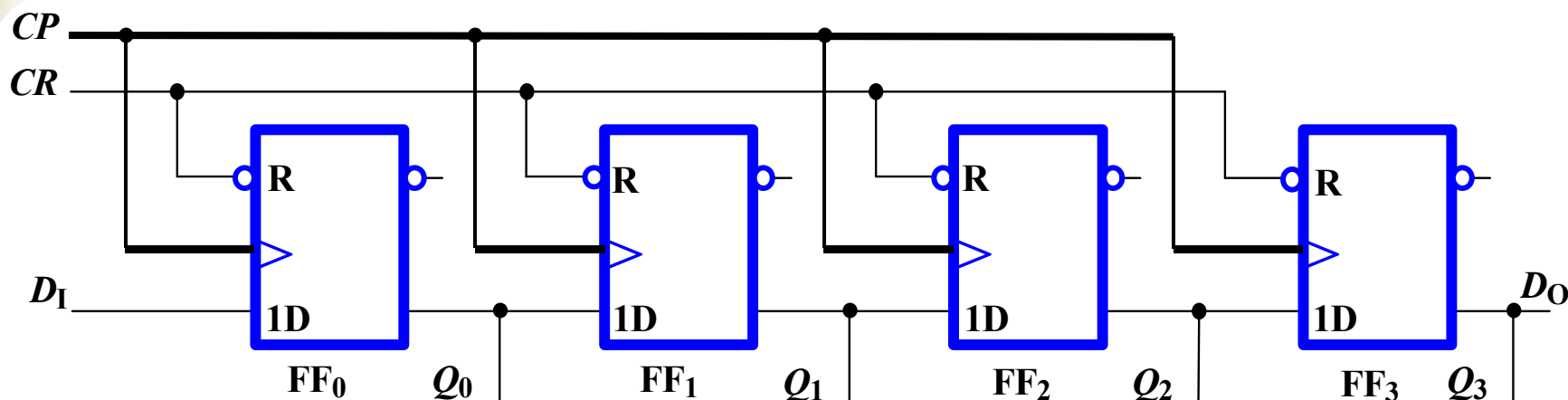
并行数据输出端

串行数据
输出端

单向移位寄存器



工作原理:

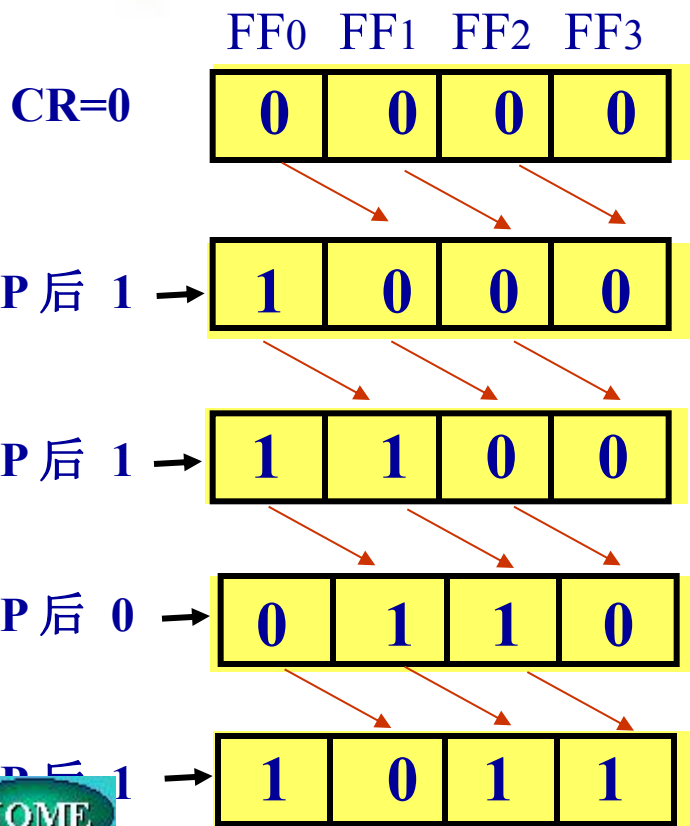
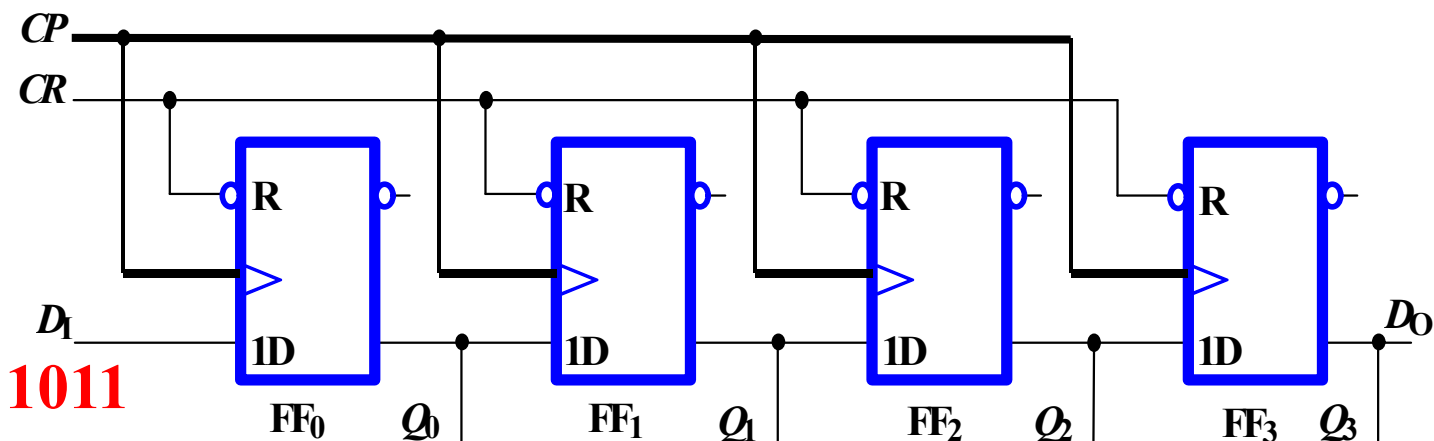


驱动方程: $D_0 = D_1$ $D_1 = Q_0$ $D_2 = Q_1$ $D_3 = Q_2$

次态方程: D触发器的特性方程 $Q^{n+1} = D$

$Q_0^{n+1} = D$ $Q_1^{n+1} = Q_0$ $Q_2^{n+1} = Q_1$ $Q_3^{n+1} = Q_2$

设 $D_1 = Q_0 Q_1 Q_2 Q_3 = 1011$



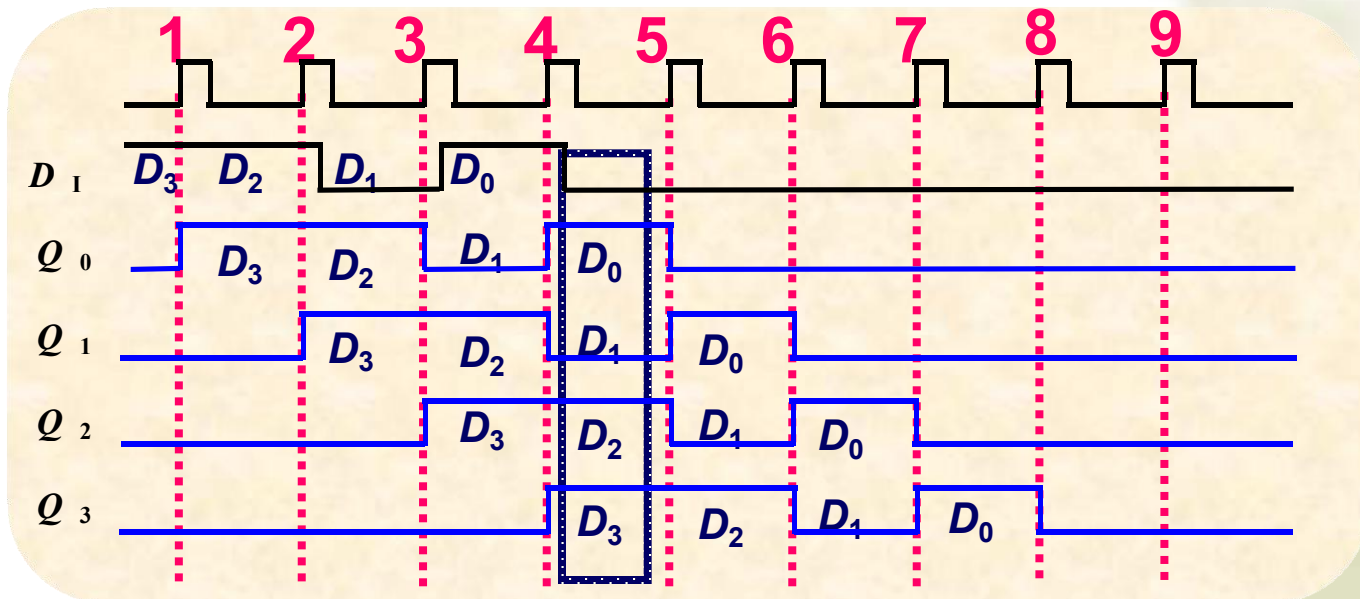
4个CP后，输入端的数据“1011”，串行送入寄存器，并行输出；再经过4个CP，串行输出（数码移出寄存器）。



工作波形:

从图中可看出：经过4个CP作用后，从 D_I 端串行输入的数据从 $Q_0 Q_1 Q_2 Q_3$ 并行输出。 串入→并出

再经过4个CP后，从 D_I 端串行输入的数据从 D_O 端串行输出。 串入→串出



时序图

三、 二进制计数器



❖ 在医学研究和应用领域，常常需要利用自动计算脉冲个数的装置--计数器(counter)。

- ❖ 在核医学中自动计算 γ 射线的脉冲数；
- ❖ 临床检验中自动计算红细胞数；
- ❖ 在很多医学仪器中需要计算时间，其实就是计算一个固定频率的振荡器发出的脉冲个数。

三、 二进制计数器



❖ 计数器的分类

按FF状态更新时刻 { 同步 --所有FF(flip-flop, trigger)的状态同时更新, 共用一个CP
异步 --所有FF的状态不同时更新, 不共用一个CP

按数值增减趋势 { 加计数器 Up Counter
减计数器 Down Counter
可逆计数器 Up/Down Counter

按状态变量使用的编码 { 二进制计数器 Binary
二-十进制计数器 BCD
N进制计数器 Another



三、二进制计数器

1. 异步二进制加法计数器
2. 异步二进制减法计数器
3. 同步二进制计数器

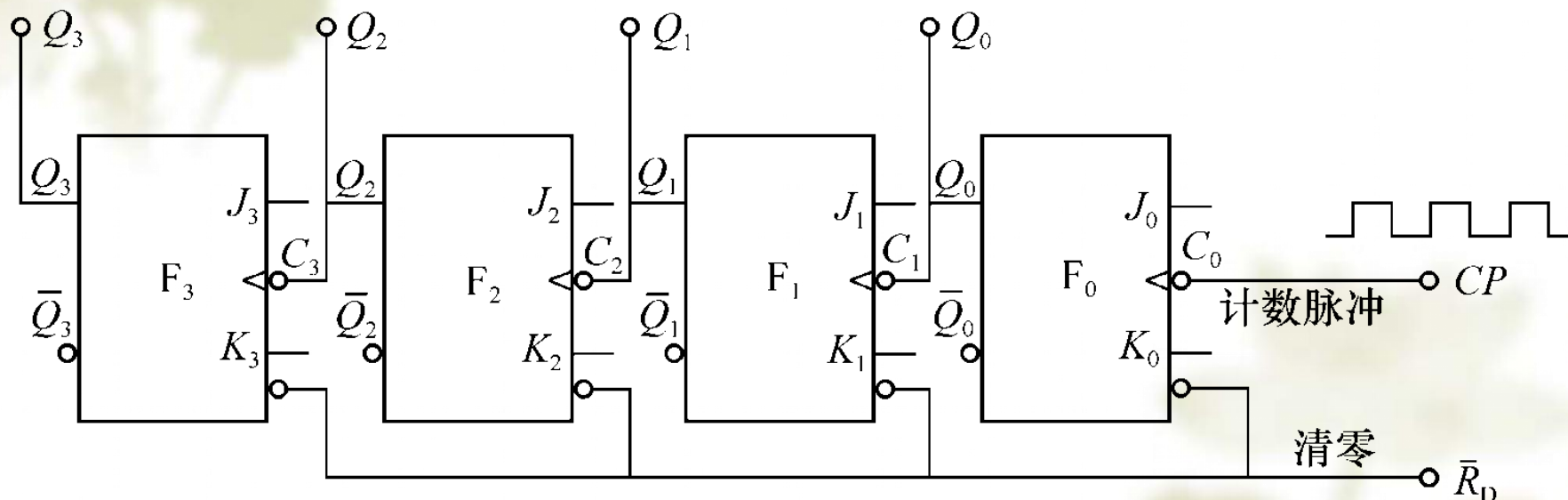
二进制加法的运算法则是：0加1得1，1加1得0并向高位进1（即逢二进一得10）。

构成二进制加法计数器的各触发器应满足条件：

- ☞ 每输入一个脉冲，触发器应翻转一次；
- ☞ 当低位触发器由1状态变为0状态时，应输出一个进位信号加到高位触发器的计数输入端。



1. 异步二进制加法计数器



各触发器的J、K端均悬空，相当于接高电平，即 $J=K=1$ 。触发器在每一个时钟脉冲的下降沿即由1变0时翻转一次，其逻辑功能相当于T触发器。

T 触发器



只要将JK触发器的J、K端连接在一起作为T端 ($J = K = T$), 就构成了T触发器.

1) 特性方程

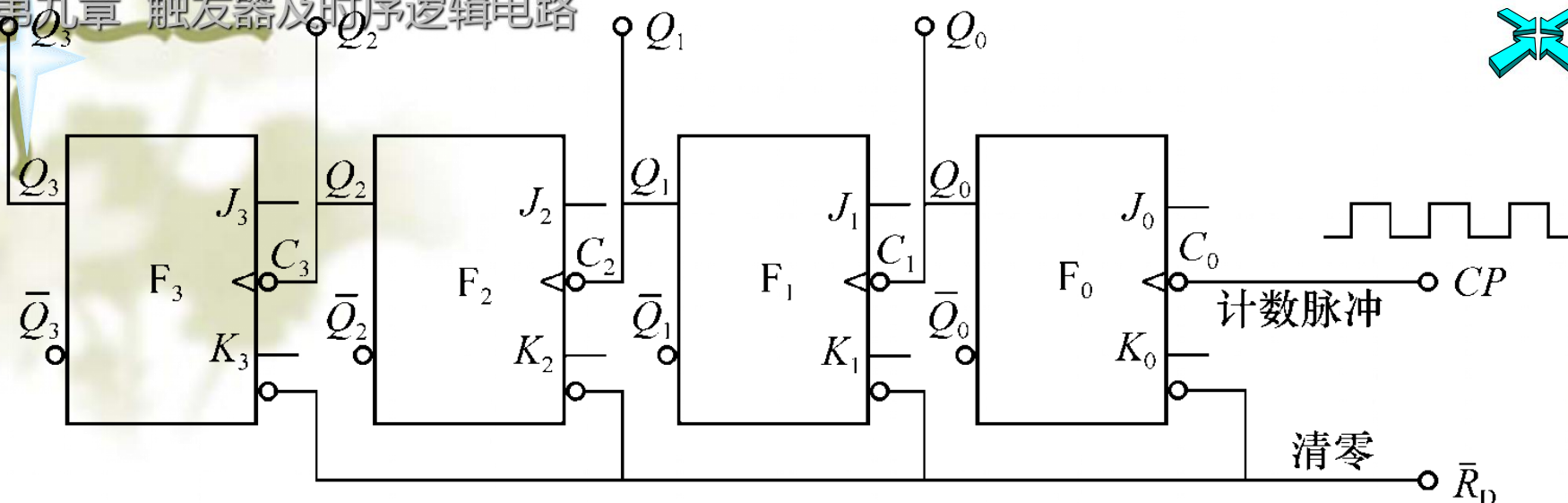
$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n = T \oplus Q^n$$

2) T触发器逻辑功能表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

T=1

T触发器的功能是T为1时, 为计数状态, T为0时为保持状态

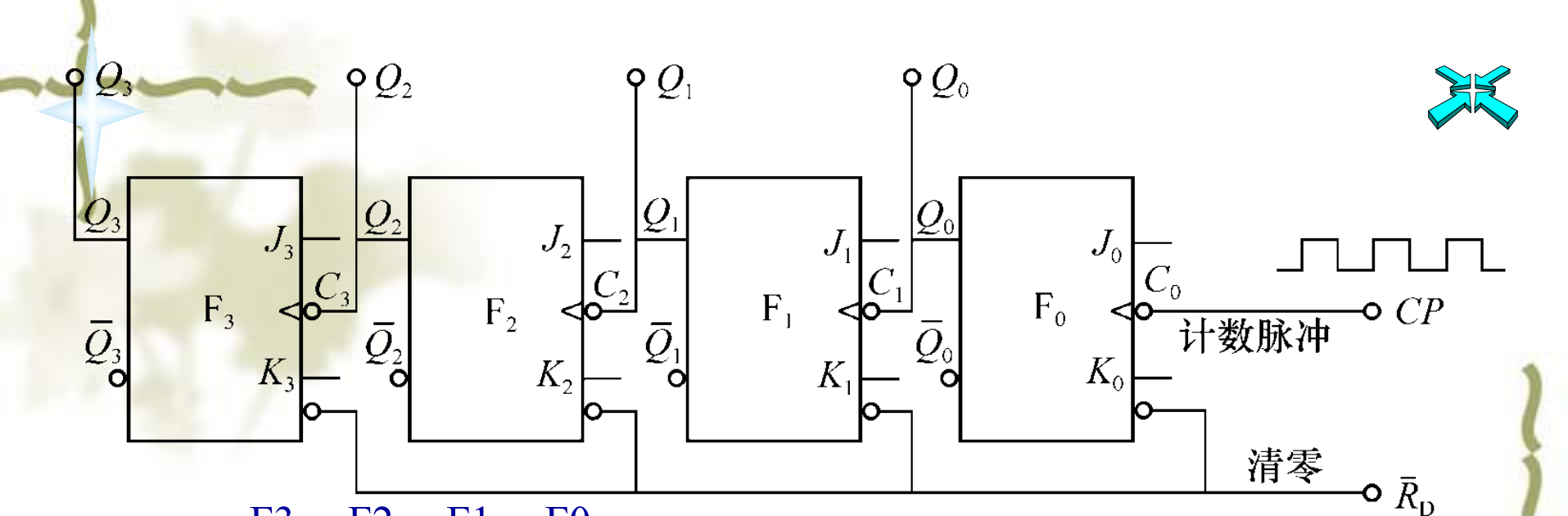


各触发器逻辑功能相当于T触发器，下降沿触发。

计数脉冲CP由最低位触发器F₀的C₀端输入，即

$C_0=CP, C_1=Q_0, C_2=Q_1, C_3=Q_2$,

因此每当低位触发器由1态变为0态，就有一个进位信号使高位触发器翻转一次。



CR=0

F3	F2	F1	F0
0	0	0	0

1CP 后 1 →

0	0	0	1
---	---	---	---

2CP 后 1 →

0	0	1	0
---	---	---	---

3CP 后 0 →

0	0	1	1
---	---	---	---

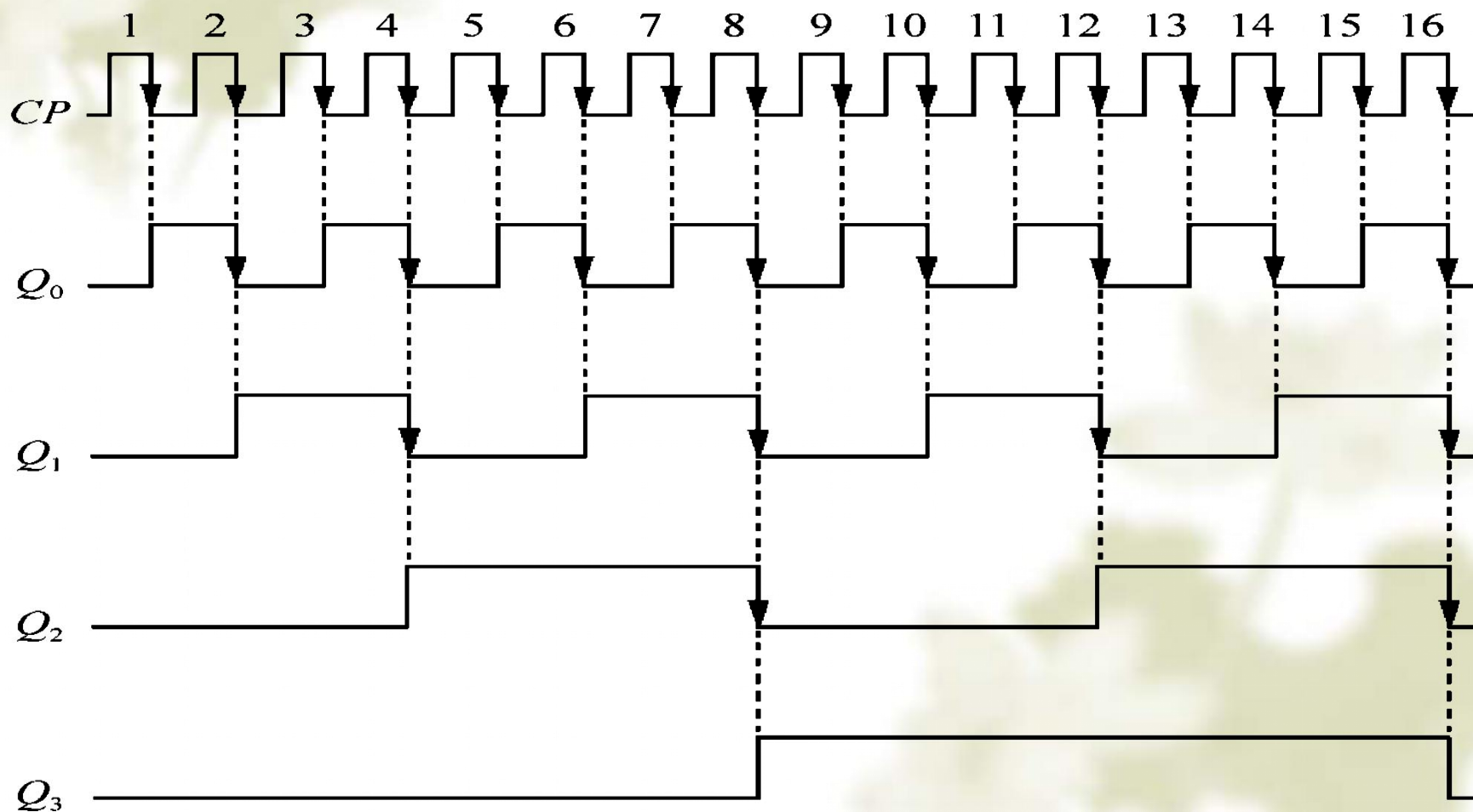
4CP 后 1 →

0	1	0	0
---	---	---	---



二进制加法计数器状态转换表

输入脉冲数	Q_3	Q_2	Q_1	Q_0	对应十进制数	输入脉冲数	Q_3	Q_2	Q_1	Q_0	对应十进制数
0	0	0	0	0	0						
1	0	0	0	1	1	9	1	0	0	1	9
2	0	0	1	0	2	10	1	0	1	0	10
3	0	0	1	1	3	11	1	0	1	1	11
4	0	1	0	0	4	12	1	1	0	0	12
5	0	1	0	1	5	13	1	1	0	1	13
6	0	1	1	0	6	14	1	1	1	0	14
7	0	1	1	1	7	15	1	1	1	1	15
8	1	0	0	0	8	16	0	0	0	0	0



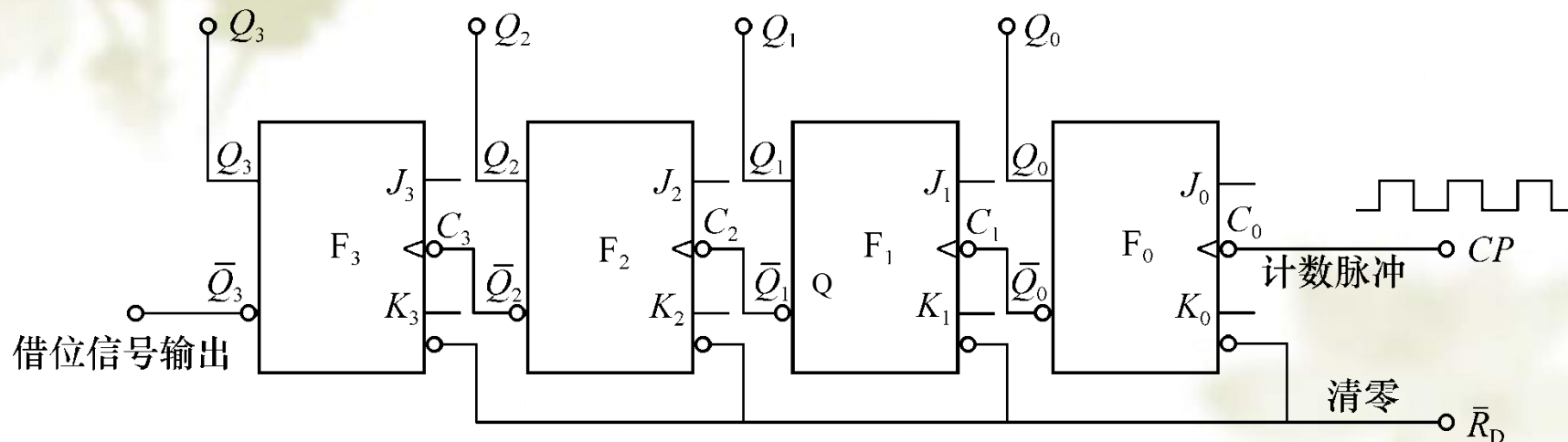


2. 异步二进制减法计数器

二进制加法的运算法则是：1减1得0，0减1得1并向高位借1。

构成二进制减法计数器应满足条件：

- ☞ 每输入一个脉冲，最低位触发器应翻转一次；
- ☞ 当低位触发器由0状态变为1状态时，应输出一个借位信号加到高位触发器的计数输入端。



低位触发器是从 $\bar{Q}$ 端（而不是 Q 端）连到高位触发器的计数输入端。



F3	F2	F1	F0
0	0	0	0

1	1	1	1
---	---	---	---

1	1	1	0
---	---	---	---

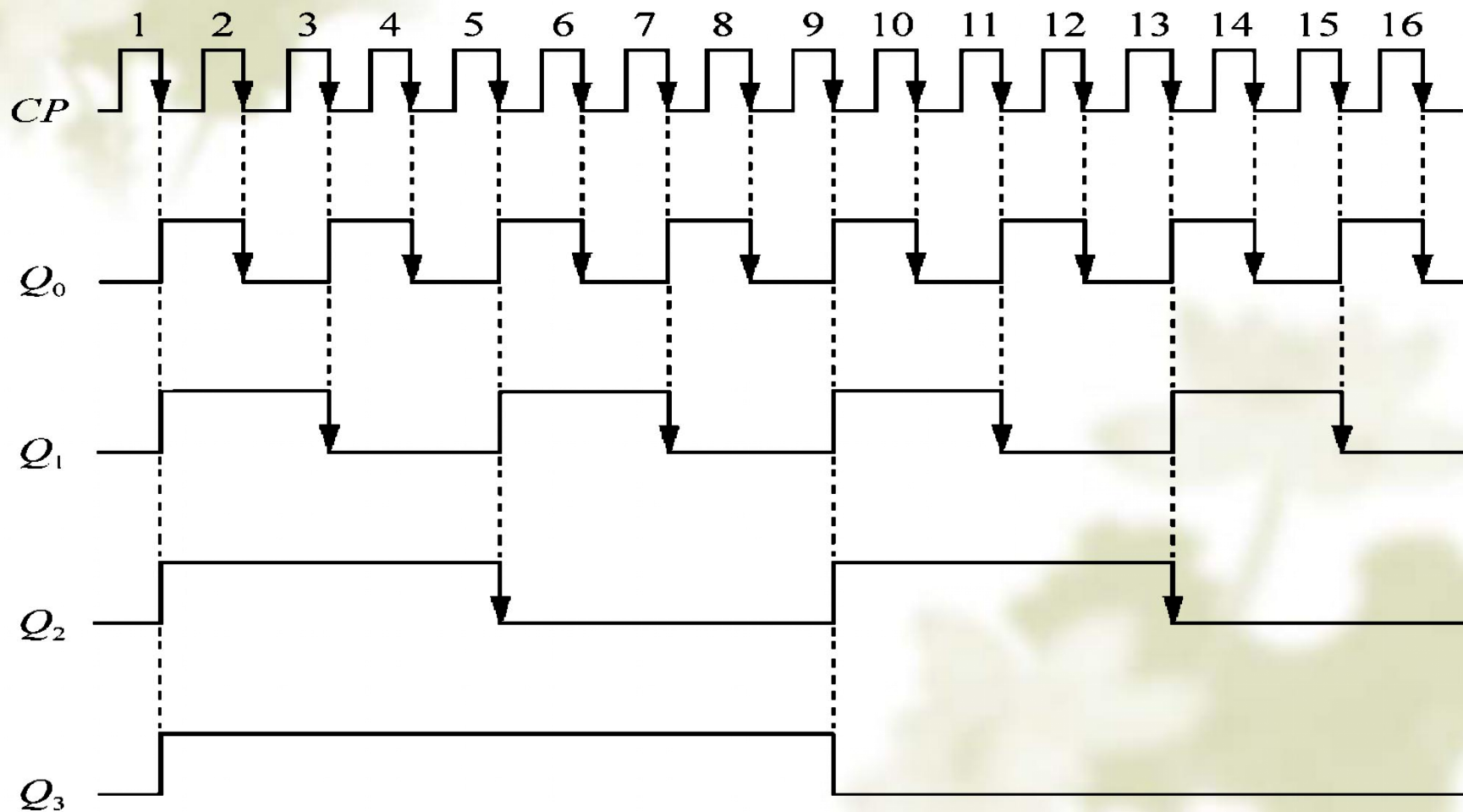
1	1	0	1
---	---	---	---

1	0	1	0
---	---	---	---

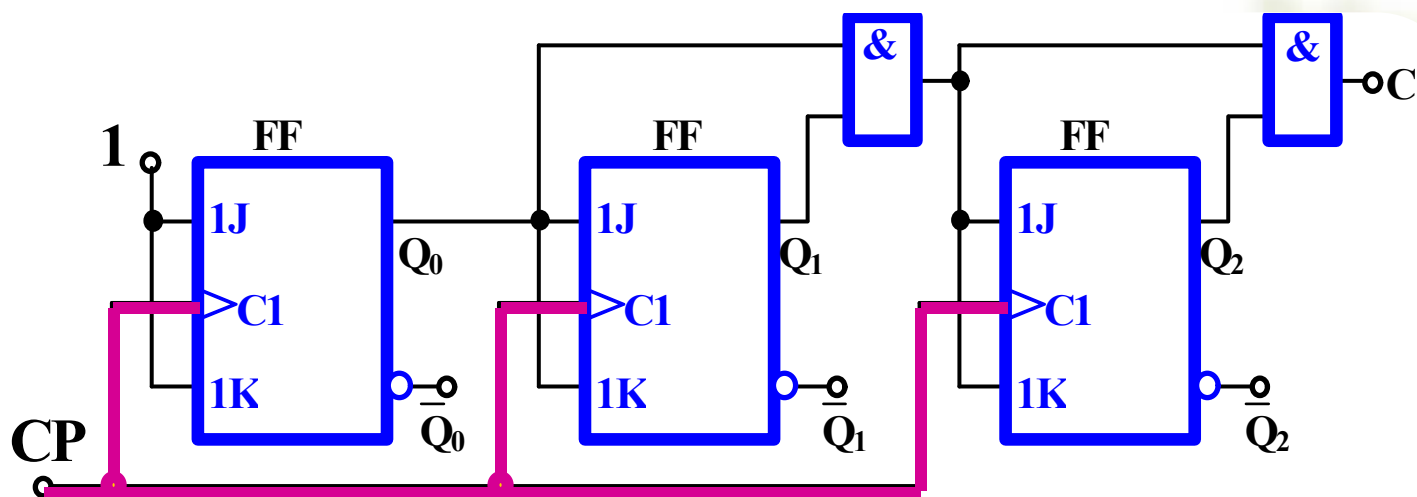


二进制减法计数器状态转换表

输入脉冲数	Q_3	Q_2	Q_1	Q_0	对应十进制数	输入脉冲数	Q_3	Q_2	Q_1	Q_0	对应十进制数
0	0	0	0	0	0						
1	1	1	1	1	15	9	0	1	1	1	7
2	1	1	1	0	14	10	0	1	1	0	6
3	1	1	0	1	13	11	0	1	0	1	5
4	1	1	0	0	12	12	0	1	0	0	4
5	1	0	1	1	11	13	0	0	1	1	3
6	1	0	1	0	10	14	0	0	1	0	2
7	1	0	0	1	9	15	0	0	0	1	1
8	1	0	0	0	8	16	0	0	0	0	0



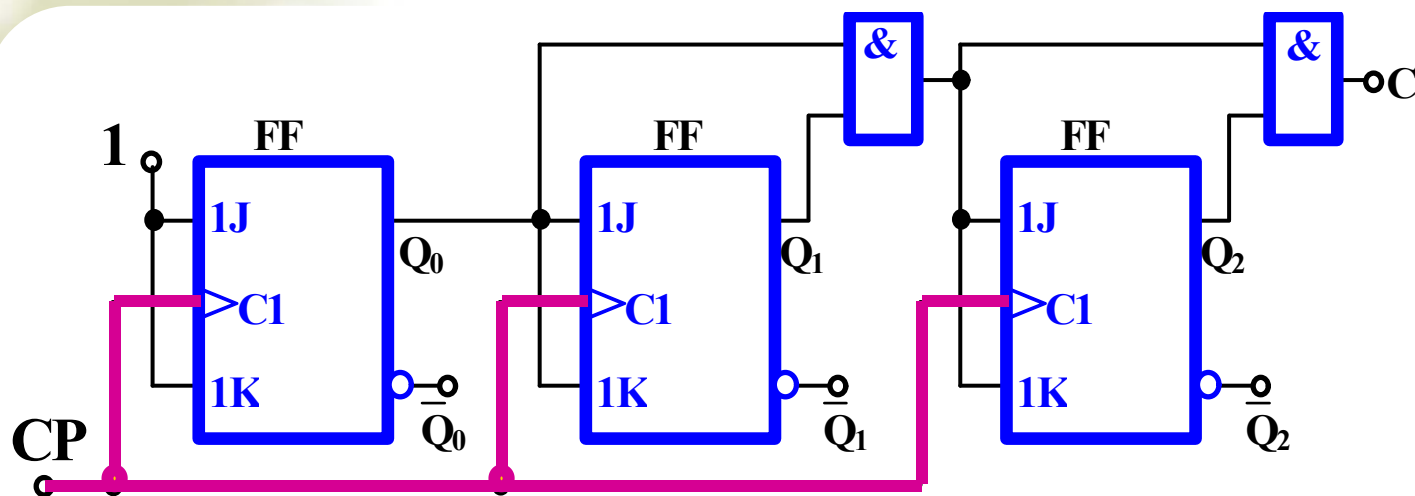
(1) 同步二进制加计数器



3. 同步二进制计数器



(1) 二进制同步加计数器



驱动方程:

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \end{cases}$$

状态方程:

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n \end{cases}$$

输出方程:

$$C = Q_2^n Q_1^n Q_0^n$$

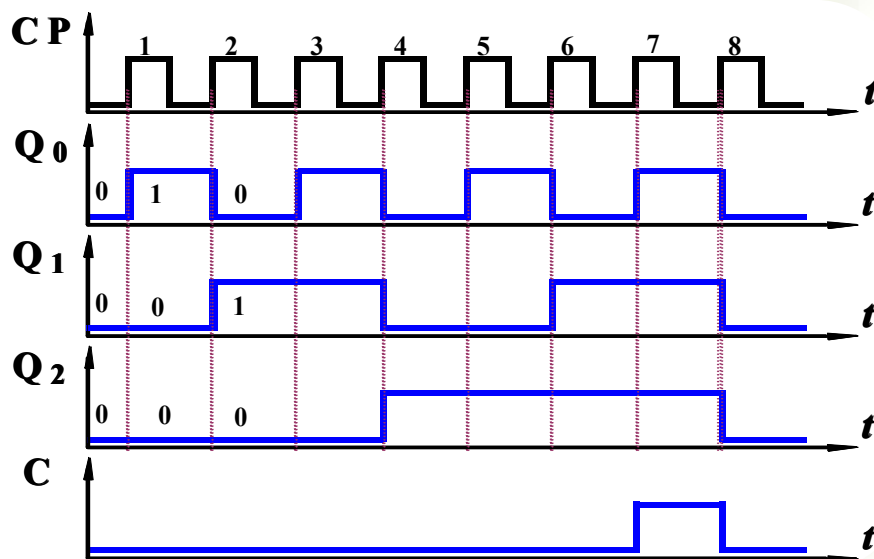
3. 同步二进制计数器



状态转换表

计数顺序	电路状态 $Q_2 Q_1 Q_0$			进位 C
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1
8	0	0	0	0

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} Q_0^n + \overline{Q_2^n} Q_1^n Q_0^n \\ C = Q_2^n Q_1^n Q_0^n \end{cases}$$

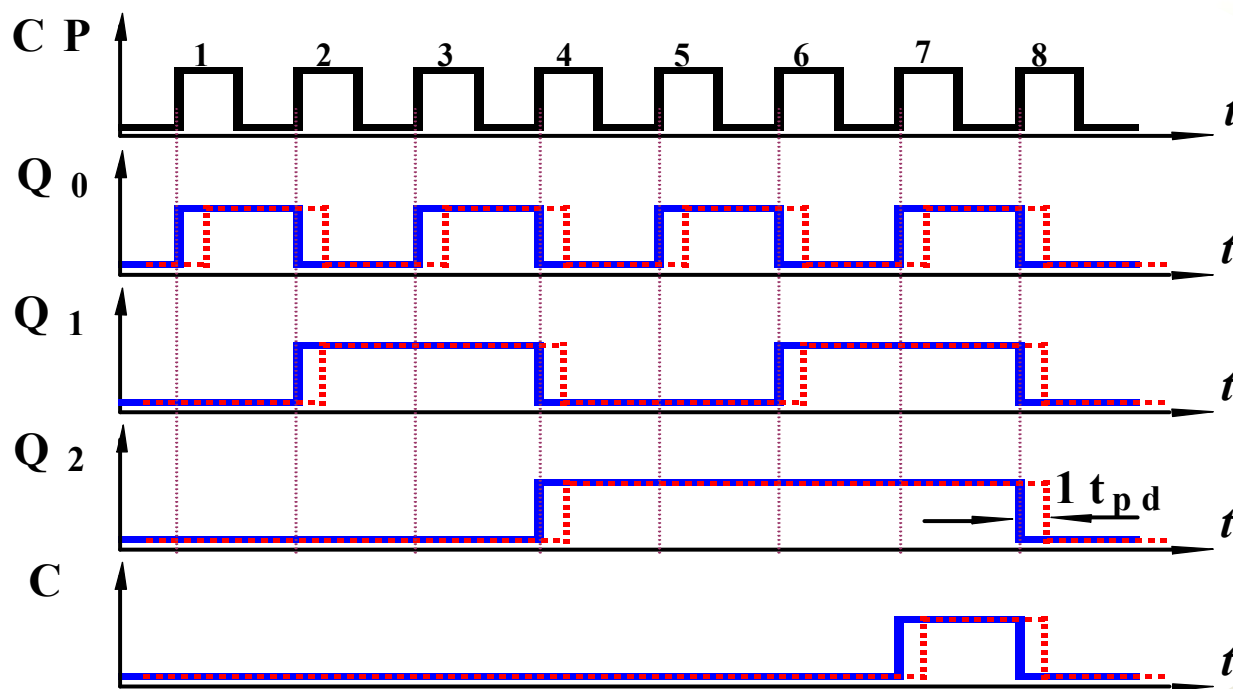


3. 同步二进制计数器



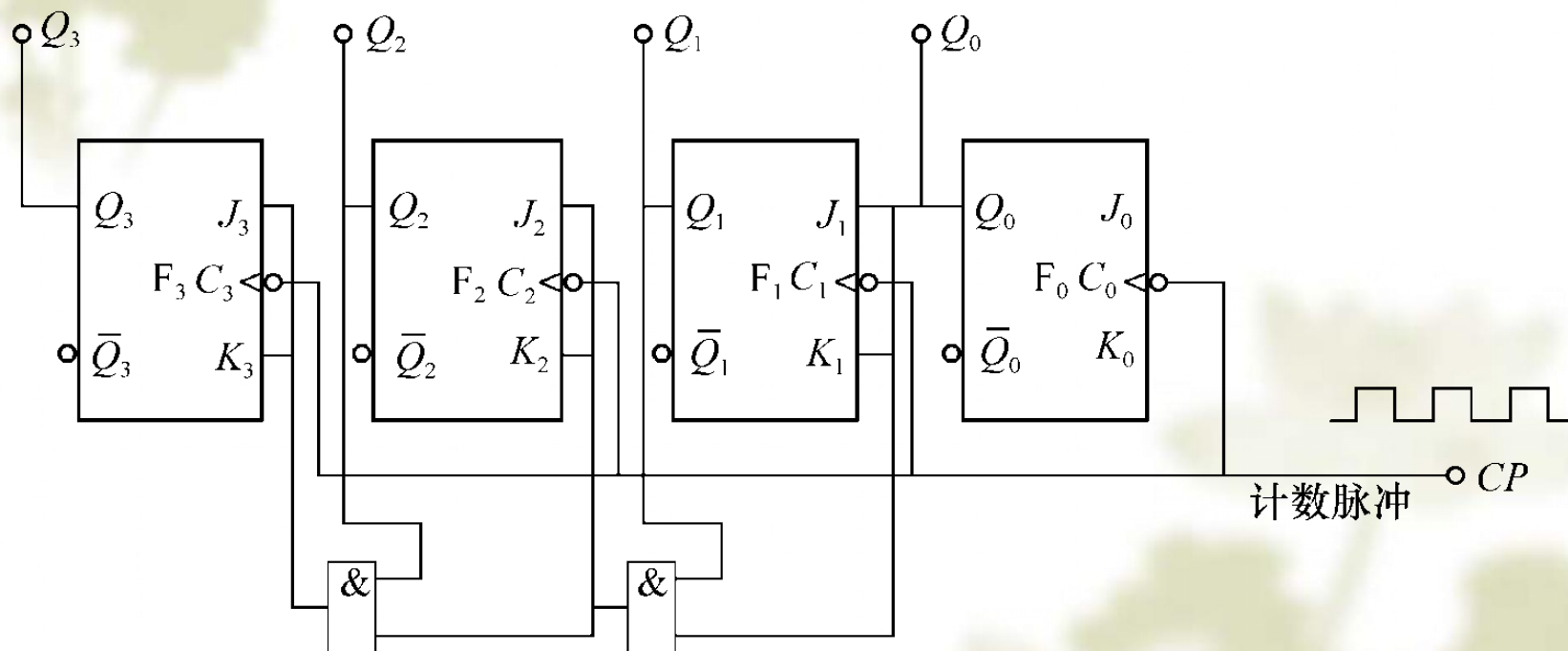
电路完成的功能：

1. 此电路为8进制计数器。
2. 3个触发器受同一个时钟信号CP的控制，3个触发器的翻转是同时进行的，都比CP的作用时间滞后一个 t_{pd} ，因此，其工作速度一般比异步计数器的高。

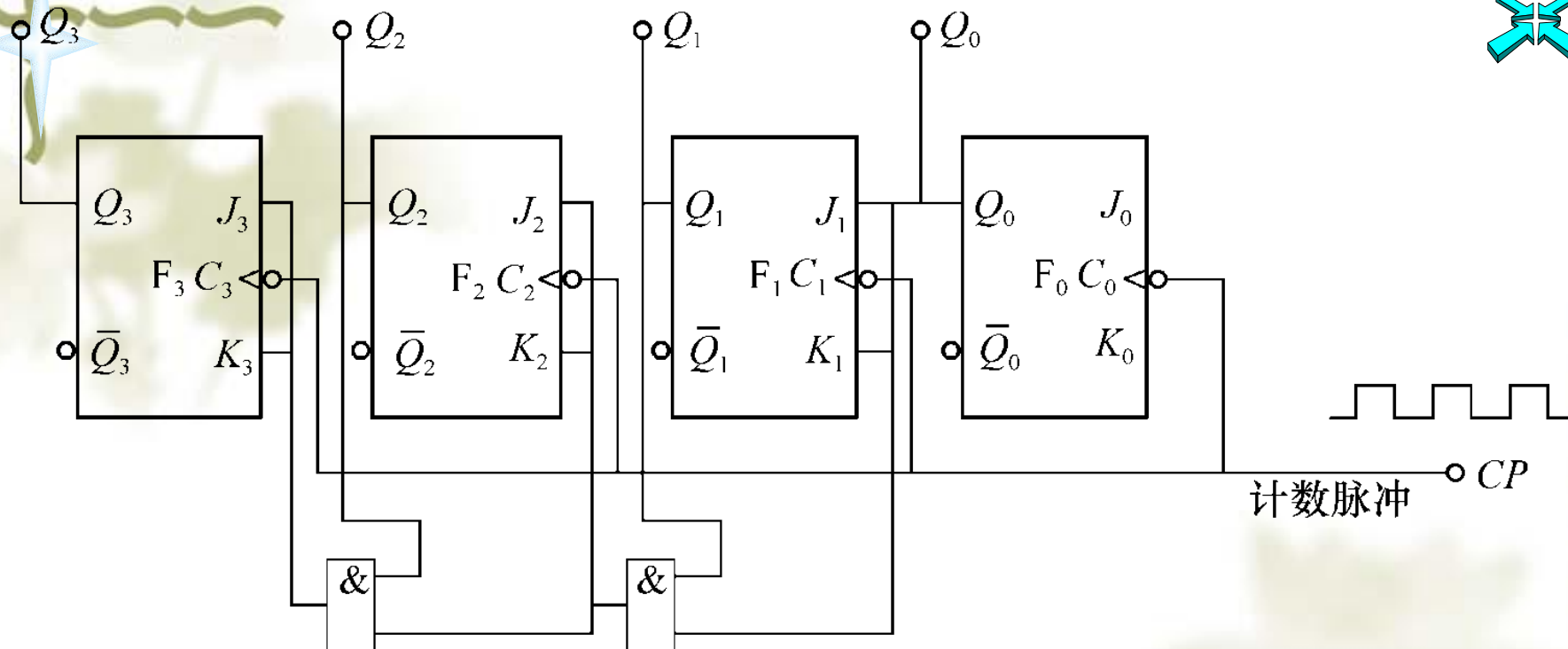




3. 同步二进制计数器



将计数脉冲同时加在每一个触发器上，使各触发器的输出状态变化与计数脉冲同步，就构成了同步计数器。



驱动方程:

状态方程:

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = K_3 = Q_2^n Q_1^n Q_0^n \end{cases}$$

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n \\ Q_3^{n+1} = Q_3^n \overline{Q_2^n} + Q_3^n \overline{Q_1^n} + Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n \end{cases}$$



四、十进制计数器

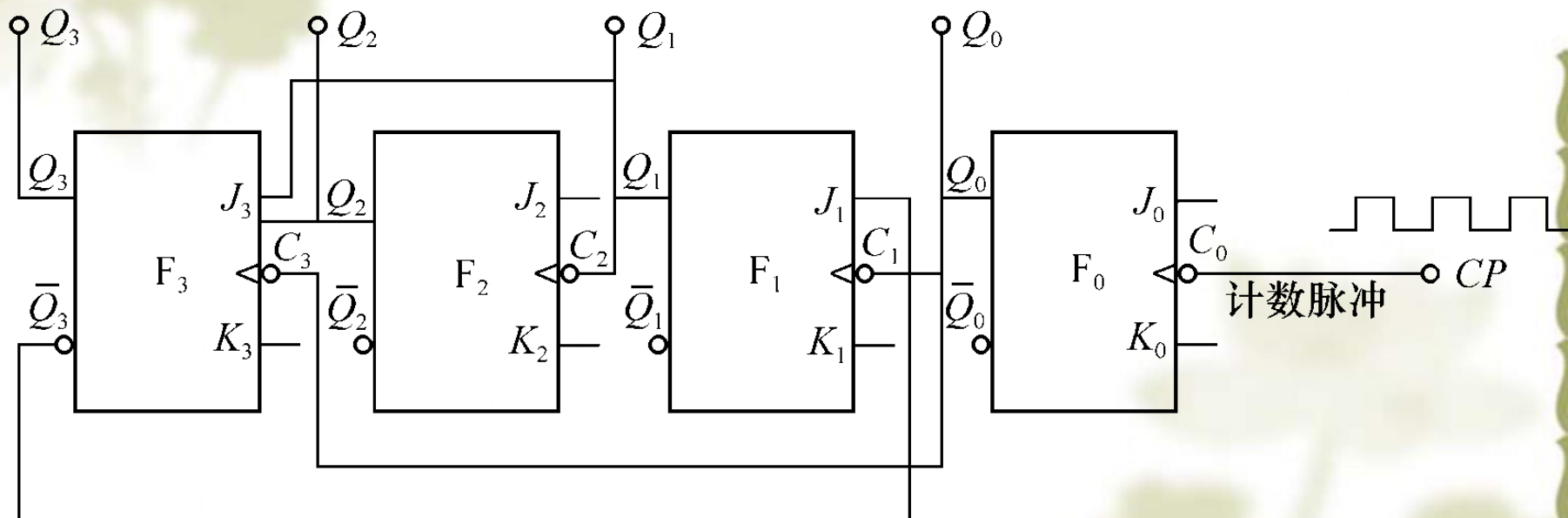
由于人们习惯于十进制计数，所以在需要直接显示的地方，使用十进制比二进制方便得多。十进制计数器采用的是二—十进制计数法，也就是用四个二进制数码表示一个十进制数，

用四位二进制数表示十进制（0~15）数对照表

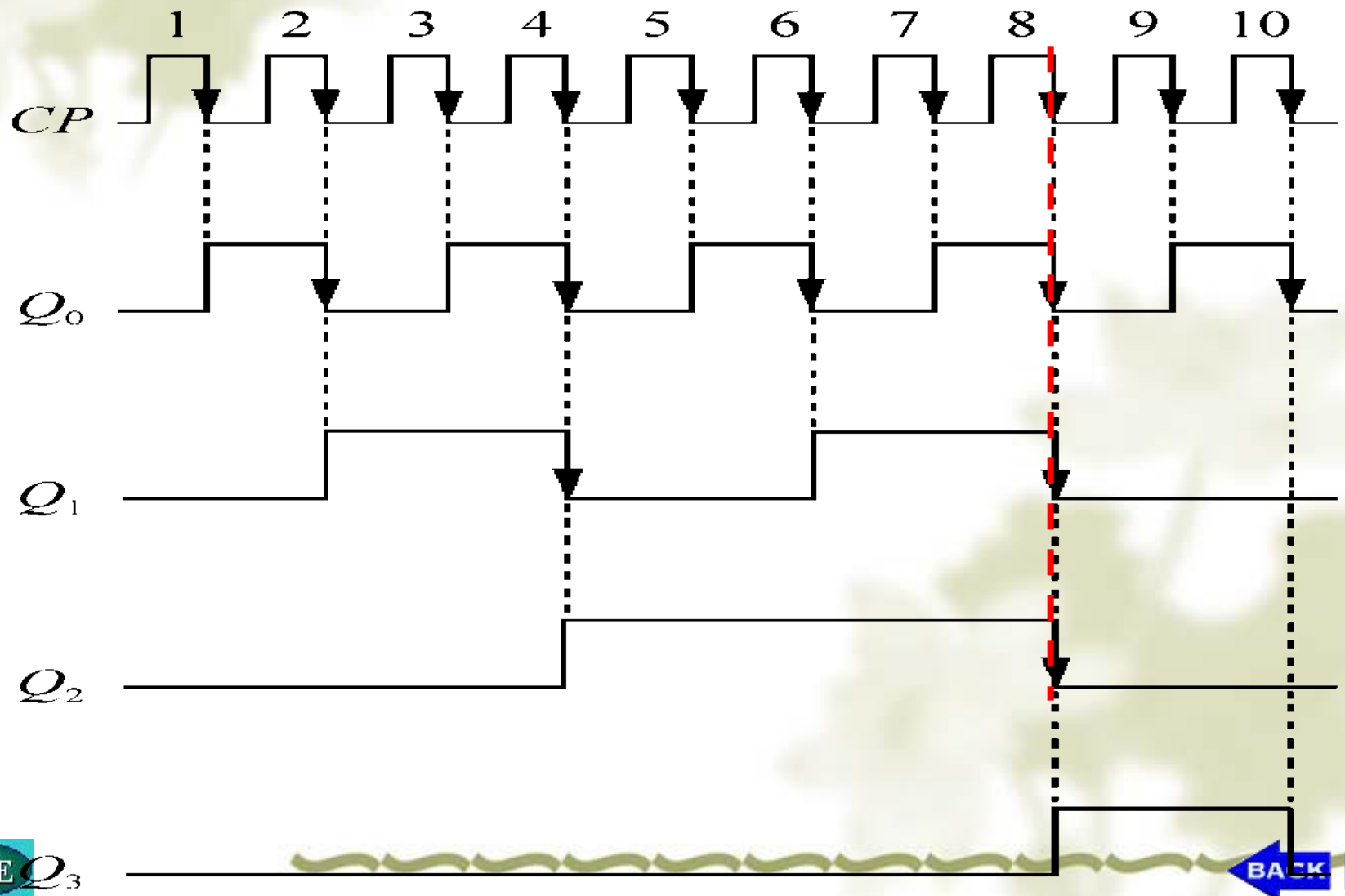
十进制数	四位二进制数	十进制数	四位二进制数
0	0000	8	1000
1	0001	9	1001
2	0010	10	1010
3	0011	11	1011
4	0100	12	1100
5	0101	13	1101
6	0110	14	1110
7	0111	15	1111



$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$



十进制加法计数要求在达到1001（十进制数9）时，再加1应返回到0000（十进制0），同时发出进位信号。



第三节 脉冲的产生与整形



- 一、多谐振荡器
- 二、施密特触发器
- 三、单稳态触发器



一、多谐振荡器

多谐振荡器是不需要外加触发信号、能自行产生一定频率和一定脉宽的矩形脉冲电路。电路没有稳态，只有两个暂稳态，因而又称为无稳态振荡器。多谐振荡器可以由门电路组成、由集成运放组成，也可以由555定时器组成。

多谐振荡器没有稳态，只具有两个暂稳态，又称为无稳态振荡器。





用门电路构成的多谐振荡器

非门 G_1 、 G_2 性能相同， $R_{F1}=R_{F2}$ ， $C_1=C_2$

暂态 I：

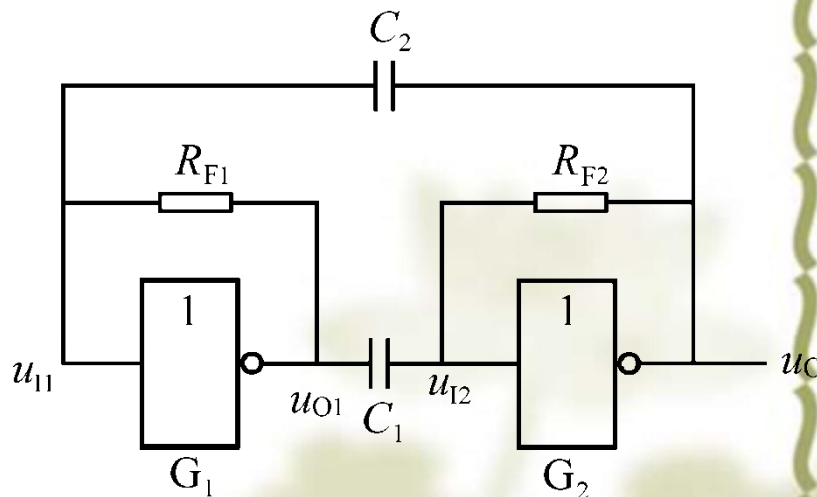
非门 G_2 输出 u_O 为高电平 U_{OH}

非门 G_1 输出 u_{O1} 为低电平 U_{OL}

暂态 II：

非门 G_2 输出 u_O 为低电平 U_{OL}

非门 G_1 输出 u_{O1} 为高电平 U_{OH}



$$T = 2\tau \ln \frac{U_{OH} - (-U_D)}{U_{OH} - U_T}$$

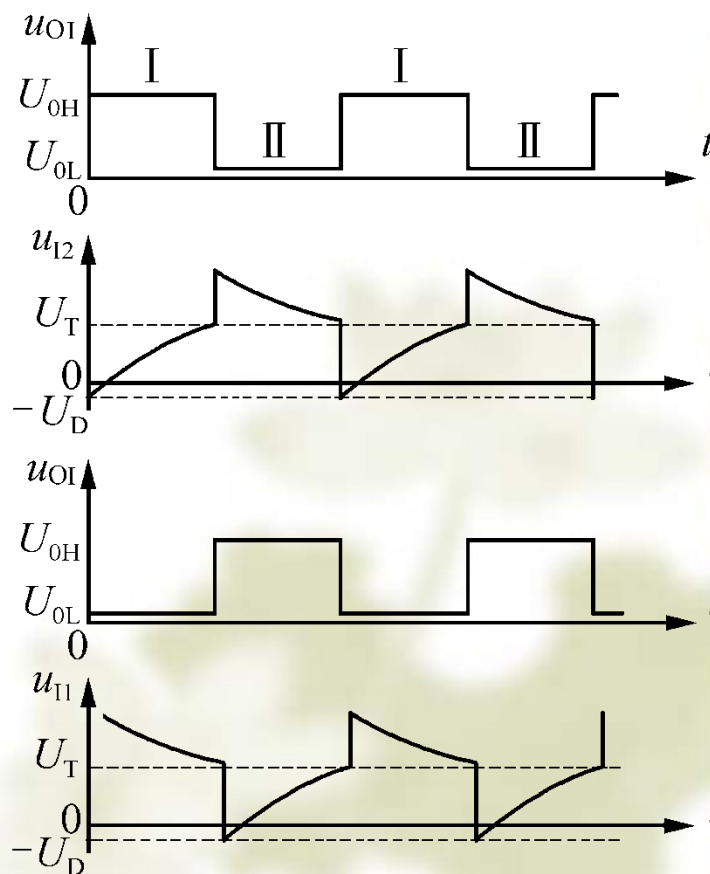


暂态 I :

因电阻 R_{F2} 两端有电位差, 会通过电容 C_2 放电, 正反馈的结果将使电路迅速变为暂态 II。

暂态 II :

因电阻 R_{F1} 两端有电位差, 会通过电容 C_1 放电, 正反馈的结果将使电路迅速变为暂态 I。

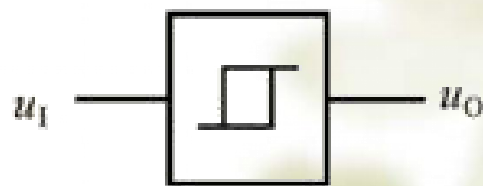




二、施密特触发器

是一种脉冲整形电路，能够将变化缓慢的正弦波、三角波和一些不规则的输入波形整形形成数字电路所需要的矩形脉冲，又称为电平触发的双稳态触发器。

输出信号波形好
抗干扰能力强



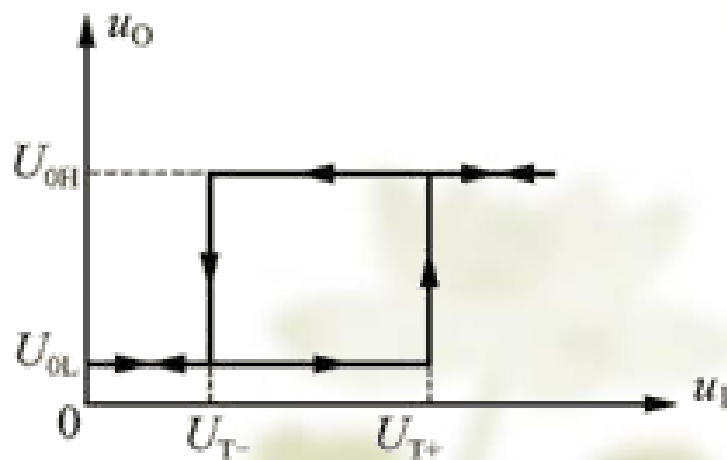
逻辑符号



施密特触发器的特点:

有高、低电平两个稳定状态;

具有滞回电压传输特性:
输入信号只有升到上触发电平 U_{T+} 时, 电路输出才翻转到低电平; 输入信号只有降到下触发电平 U_{T-} 时, 电路才从低电平翻转到高电平。



电压传输特性

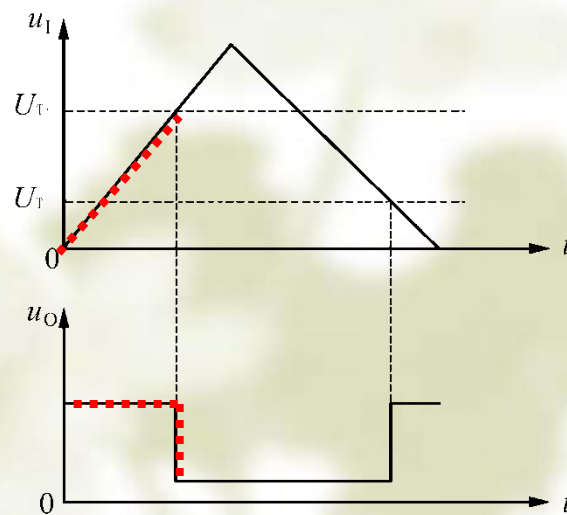
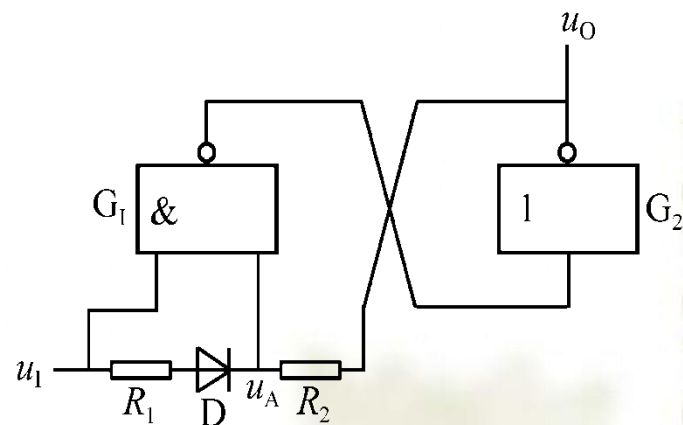


1. 用门电路构成的施密特触发器

当 $u_I=0V$ ，门 G_1 输出高电平，使门 G_2 (u_O) 输出低电平，电路处于稳态 U_{OL} 。

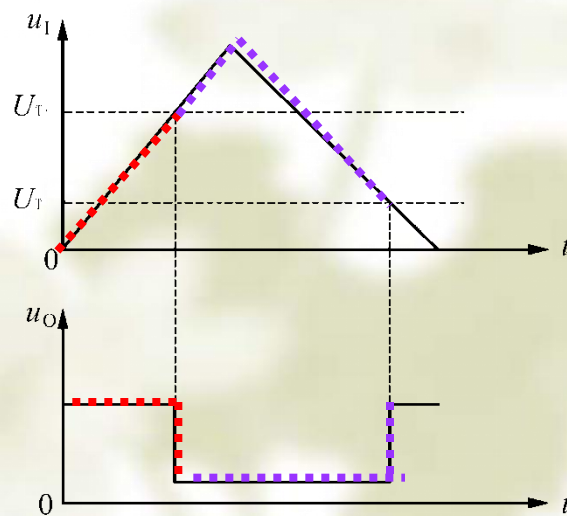
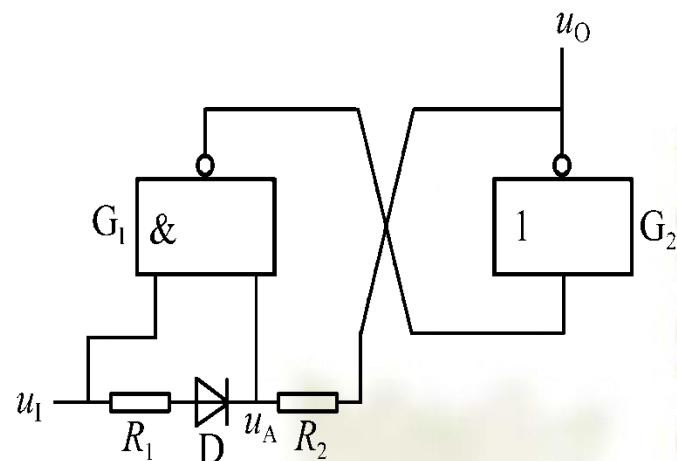
随着 u_I 的上升，与非门 G_1 的另一个输入端 (u_A) 处电位跟着上升。

只有当 u_A 升到TTL门的阈值电压 U_T 时， G_1 才会导通，输出为低电平，导致门 G_2 截止，输出 (u_O) 为高电平，电路处于另一个稳态 U_{OH} 。





u_I 继续上升, u_O 保持高电平状态不变。而当 u_I 下降时到接近 U_{T+} 时(注意 $U_{T+} > U_T$), 由于 u_A 在此下降期间由于 $u_O = U_{OH}$ 而始终维持高电平状态不变, 因此电路并不会翻转, 只有到 u_I 下降到接近 U_T 时, 门 G_1 截止, 门 G_2 导通, u_O 方才回低电平稳态 U_{OL} 。

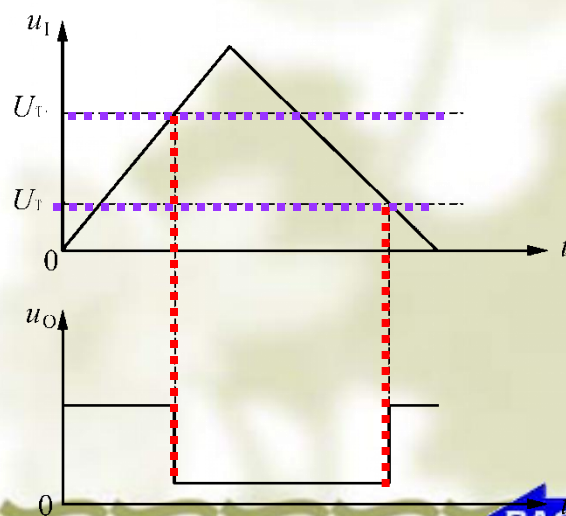
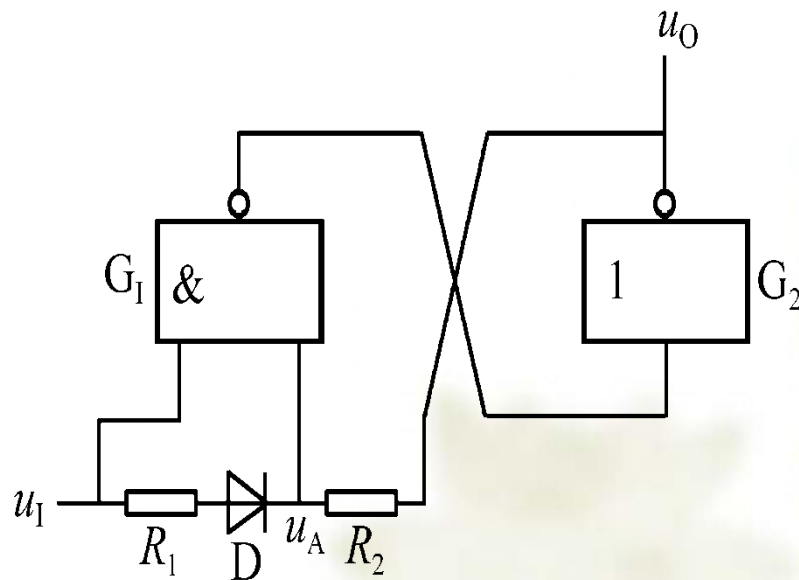




$$U_{T+} = U_T + U_D + \frac{U_T - U_{OL}}{R_2} R_1$$

$$U_{T-} = U_T$$

$$\Delta U = U_{T+} - U_{T-} = U_D + \frac{U_T - U_{OL}}{R_2} R_1$$





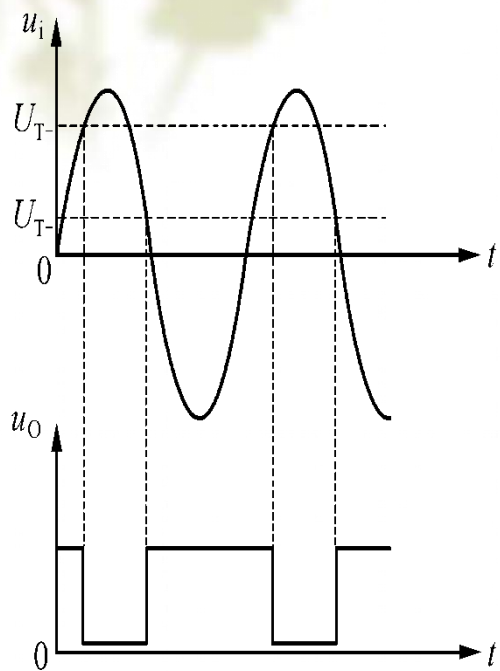
2. 施密特触发器的应用

脉冲整形电路，能够将变化缓慢的正弦波、三角波和一些不规则的输入波形整形成数字电路所需要的矩形脉冲。输出信号波形好,抗干扰能力强。

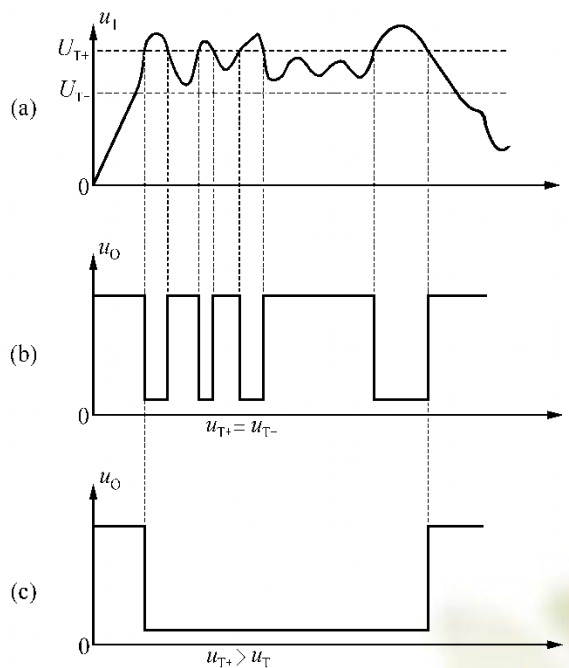
脉冲波形的变换

脉冲整形

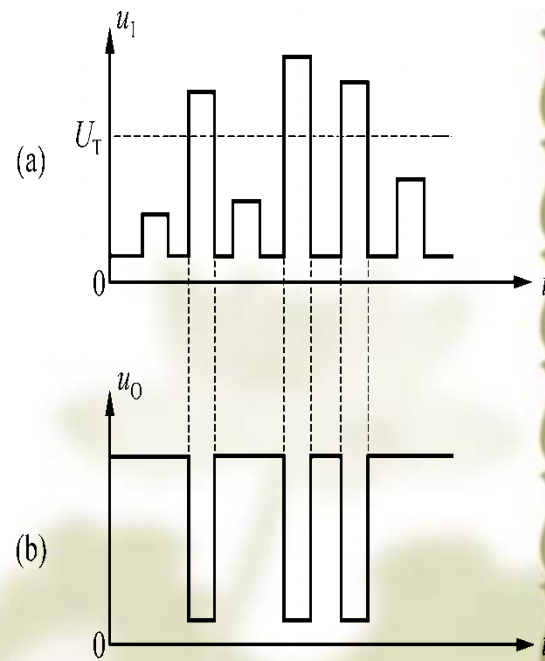
幅度鉴别



脉冲波形的变换



脉冲整形



幅度鉴别

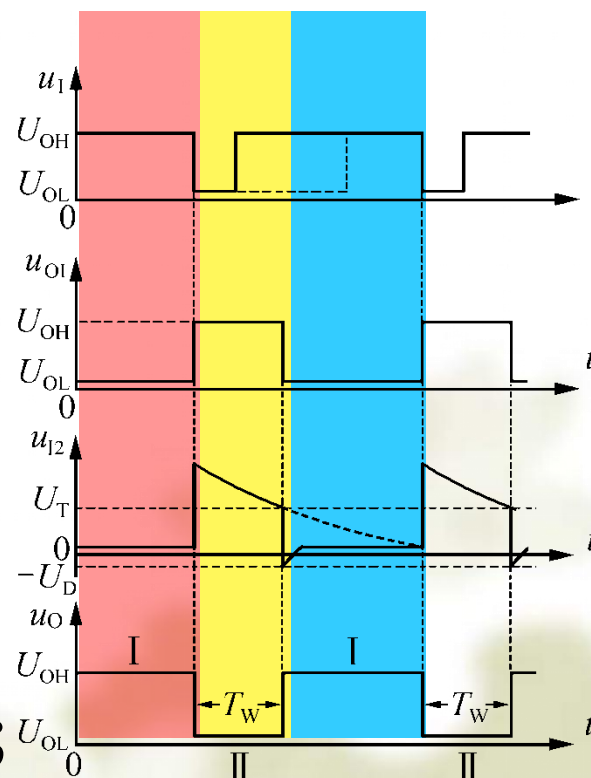
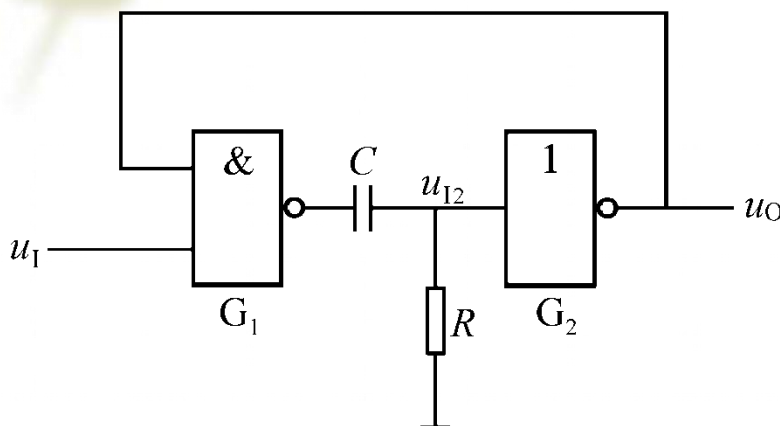


三、单稳态触发器

单稳态触发器有稳态和暂稳态两种工作状态。没有外界触发信号作用时，电路处于稳态；在外界触发脉冲作用下，电路由稳态转换为暂稳态。经过一段时间后，电路会自动返回稳态，从而输出矩形波。输出脉冲的宽度取决于电路本身的参数，而与触发脉冲无关。单稳态触发器的种类很多，既可用与非门、或非门外接 RC 电路组成，也可用集成运算放大器或其他集成电路构成，还有专用的单片集成单稳态触发器电路。



用门电路构成的单稳态触发器

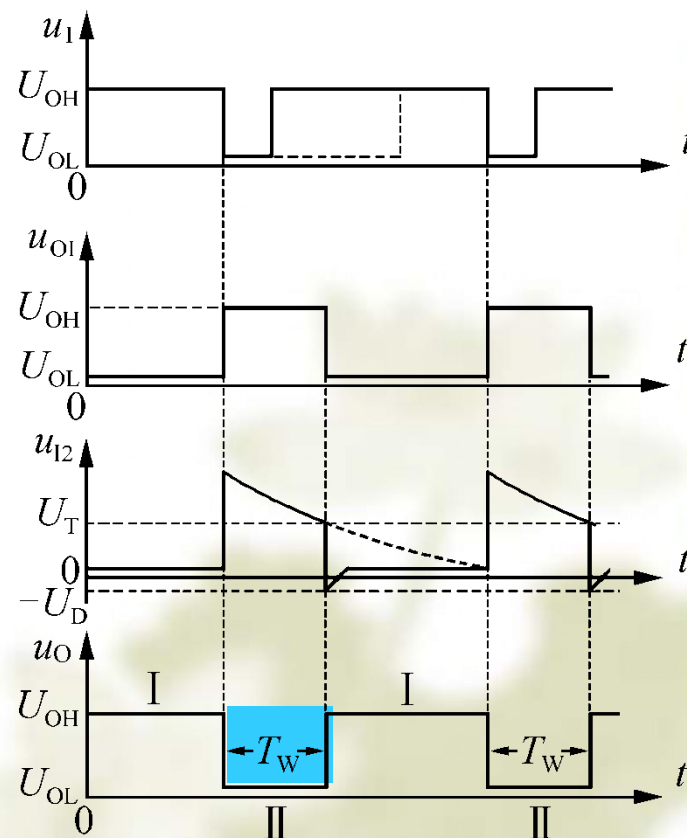


- ◆ 没触发信号，电路处于稳定状态；
- ◆ 外加触发信号，电路从稳定翻转到暂稳状态；
- ◆ 暂稳态持续一段时间后，自动翻转回到稳态。



$$T_W = RC \ln \frac{u_{12}(\infty) - u_{12}(0)}{u_{12}(\infty) - u_{12}(T_W)}$$

$$= RC \ln \frac{U_{OL} - U_{OH}}{U_R - U_T} = \tau \ln \frac{U_{OL} - U_{OH}}{U_R - U_T}$$



第四节 555定时器及其应用



一、555定时器

二、555定时器的应用



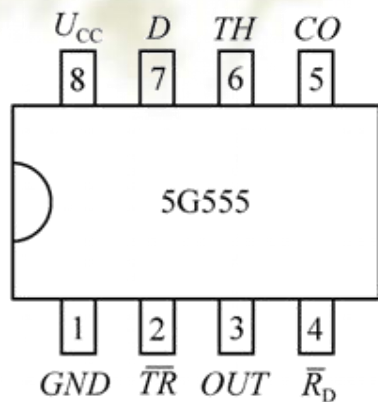
一、555定时器

555 定时器是一种多用途的数字电路和模拟电路相结合的中规模集成电路，可以组成多谐振荡器、施密特触发器和单稳态触发器等各种波形产生和波形整形电路，而且使用方便、灵活，是一种应用非常广泛的集成器件。

555 定时器有多种型号，常用的有双极型的**5G555**和**CMOS**型的**CC7555**两种。其内部电路结构相似，管脚排列及功能完全相同。



双极型555定时器



管脚排列

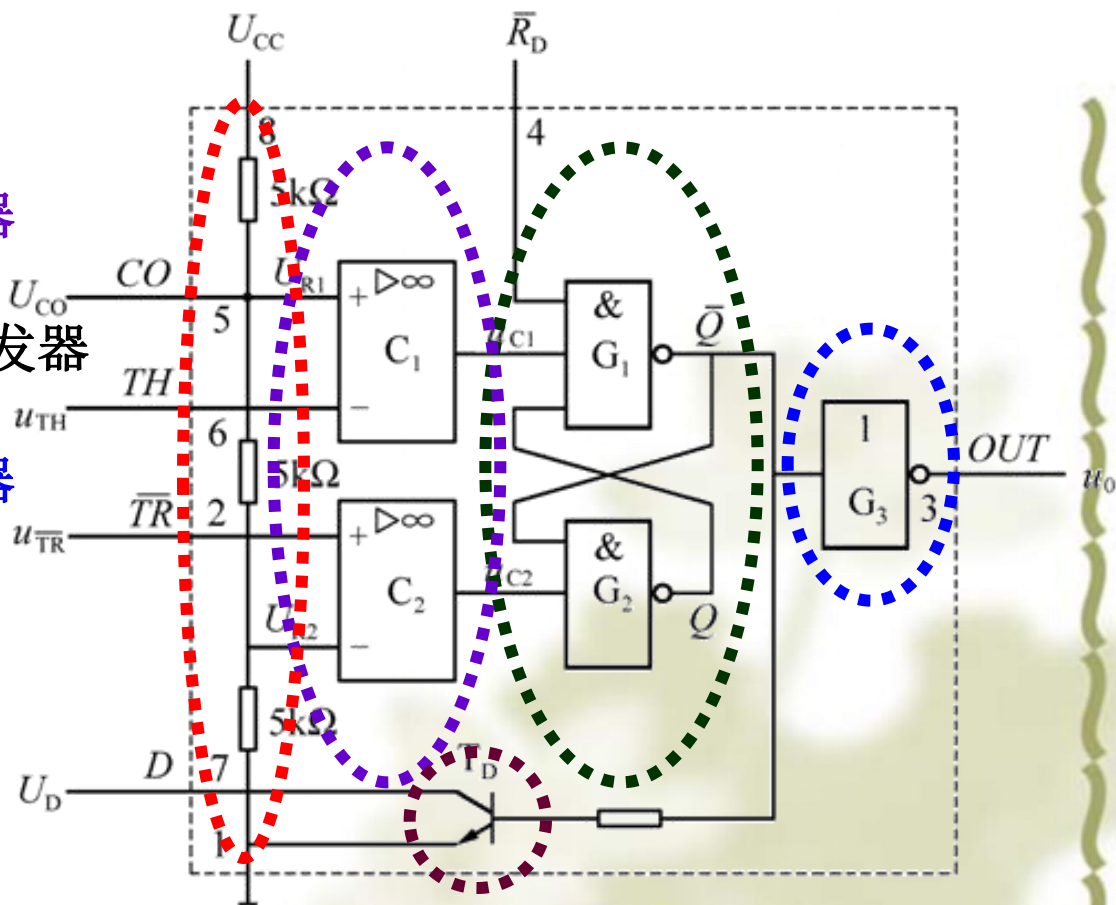
电压比较器

基本RS触发器

输出缓冲器

分压器

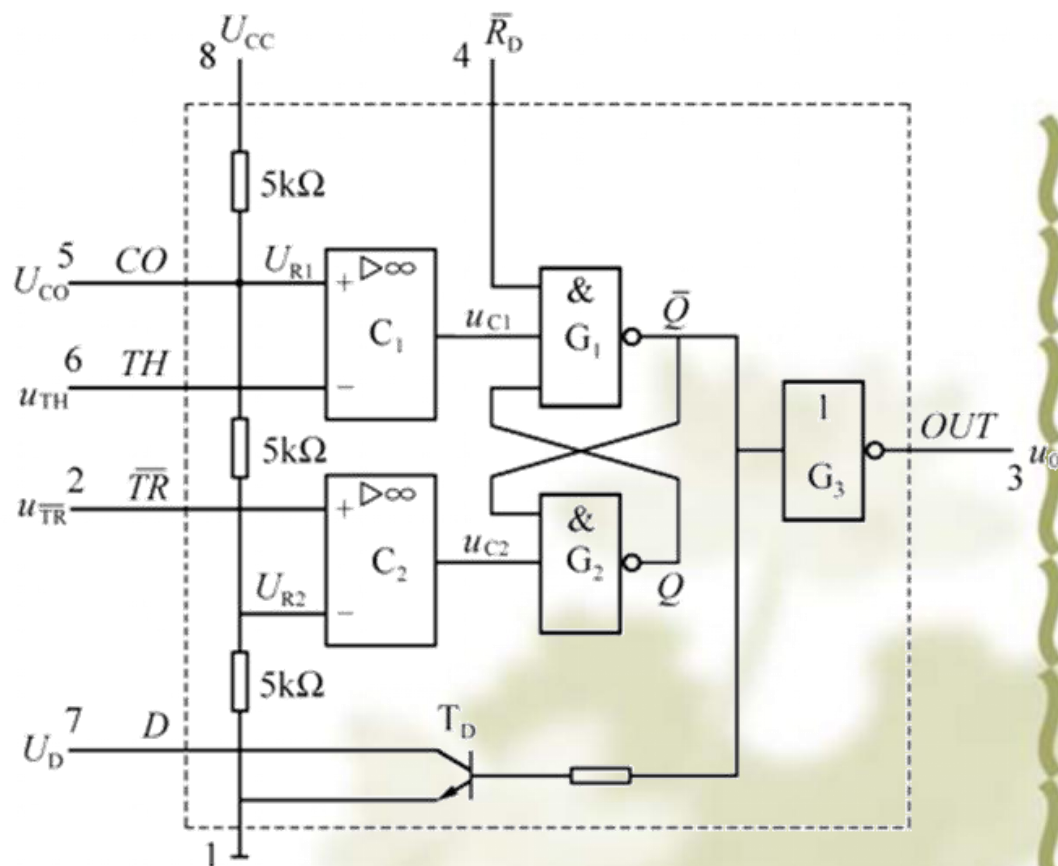
开关管



电路结构



1端：接地端
2端：低电平触发端
3端：输出端
4端：优先置“0”端，正常工作时此端处于高电平。
5端：控制电压端，当有输入时，可以改变 C_1 、 C_2 的参考电压。

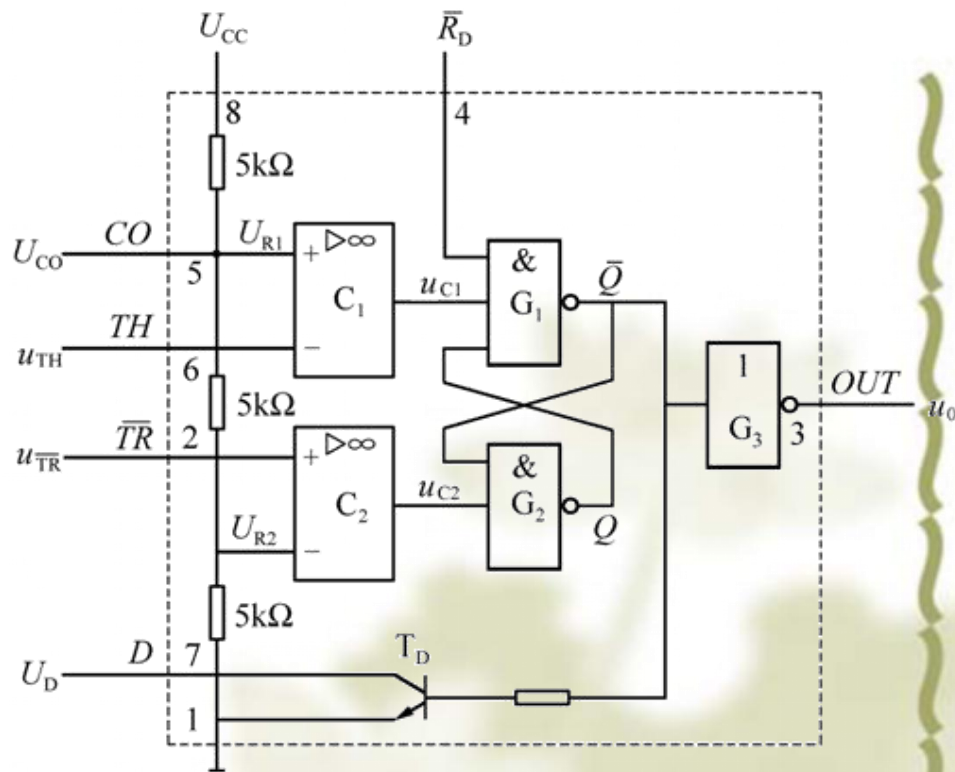


6端：高电平触发端，又称阈值端。

7端：放电端
8端：电源端



电压比较器 C_1 和 C_2 的参考电压由三只 $5K\Omega$ 的电阻器串联分压得到； C_1 和 C_2 的输出端控制 RS 触发器状态；此状态控制开关管 T 的状态。当管脚6的输入信号超过 $\frac{2}{3}U_{CC}$ 时，触发器复位，555输出低电平



（管脚3）；当管脚2的输入信号低于 $\frac{1}{3}U_{CC}$ 时，触发器置位，555输出高电平。



555 定时器功能表

$\overline{R_D}$	TH	$\overline{TR}$	OUT	U'_O
0	×	×	0	通
1	$>2/3U_{cc}$	$>1/3U_{cc}$	0	通
1	$<2/3U_{cc}$	$>1/3U_{cc}$	保持	保持
1	$<2/3U_{cc}$	$<1/3U_{cc}$	1	断



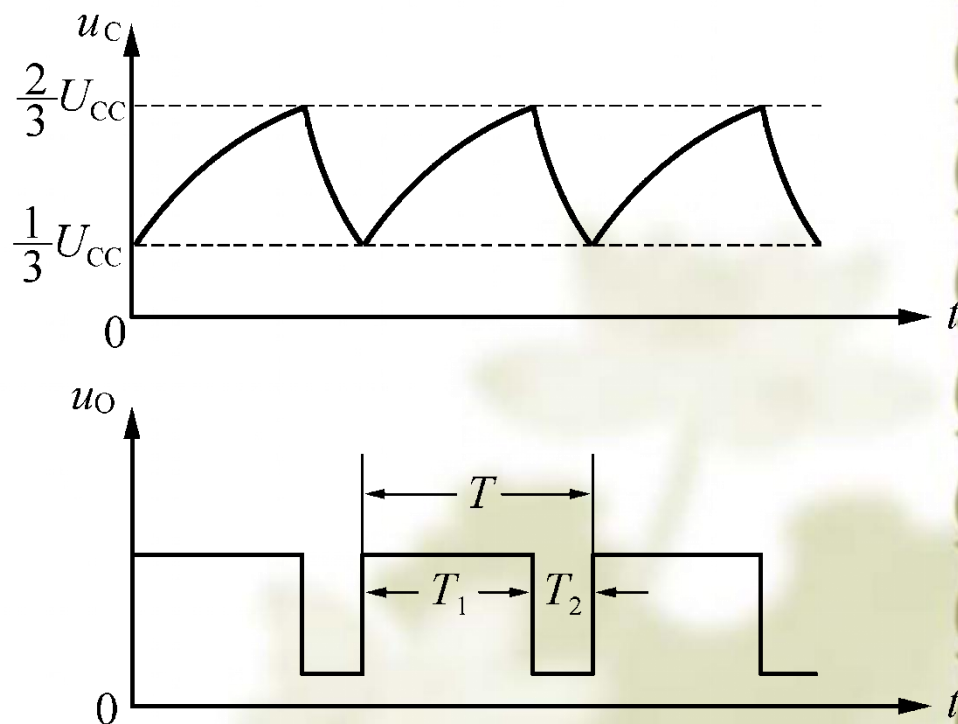
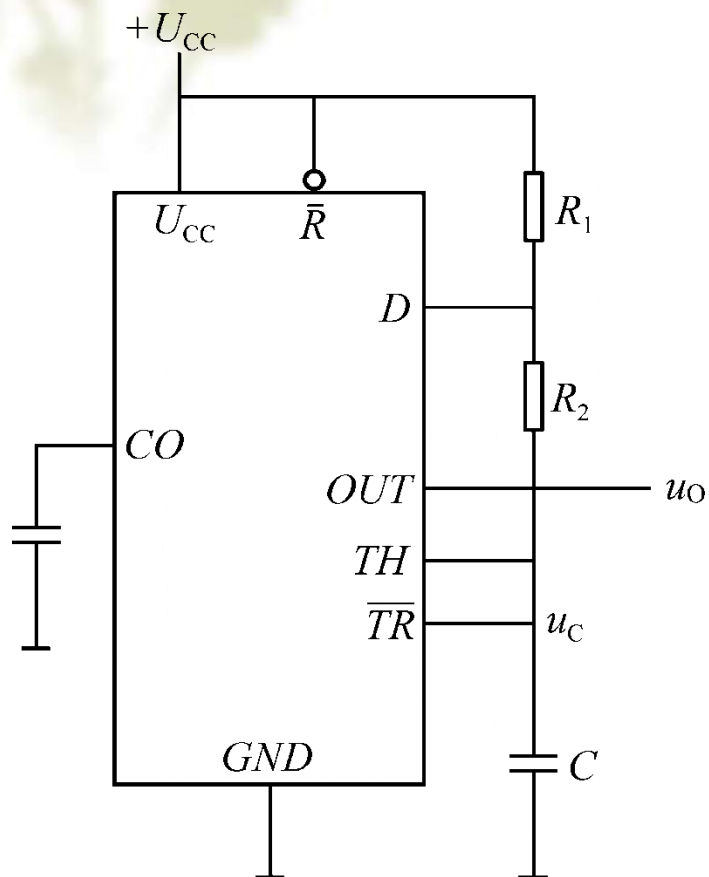
二、555定时器的应用

555 定时器可以组成各种波形产生和波形整形电路，使用方便、灵活，是一种应用非常广泛的集成器件。

1. 组成多谐振荡器
2. 组成施密特触发器
3. 组成单稳态触发器

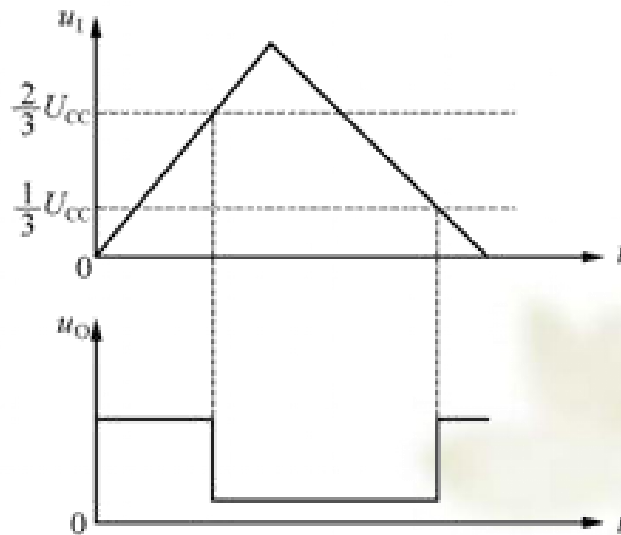
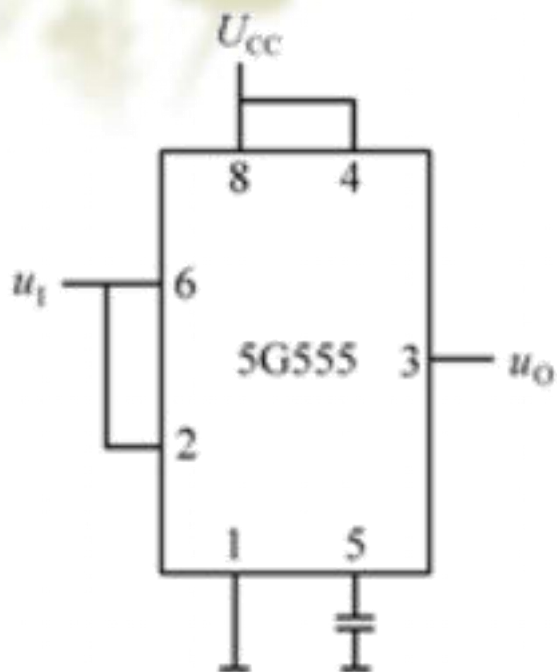


1. 组成多谐振荡器





2. 组成施密特触发器



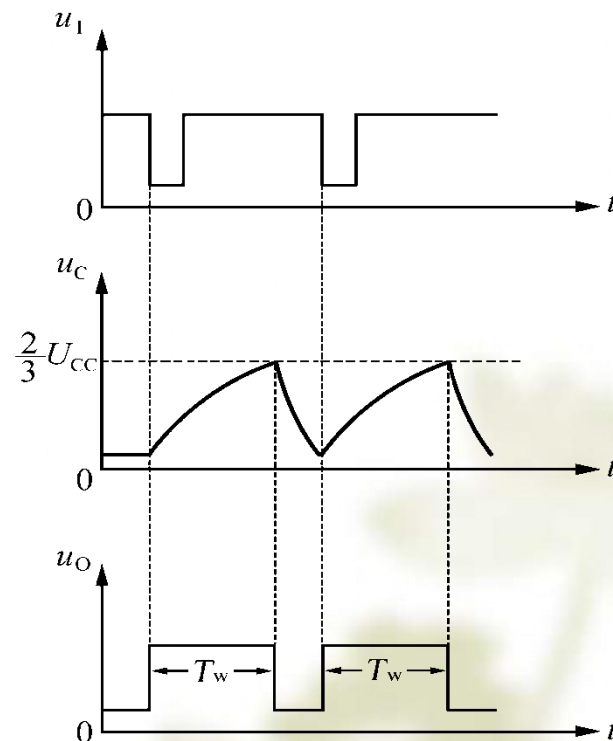
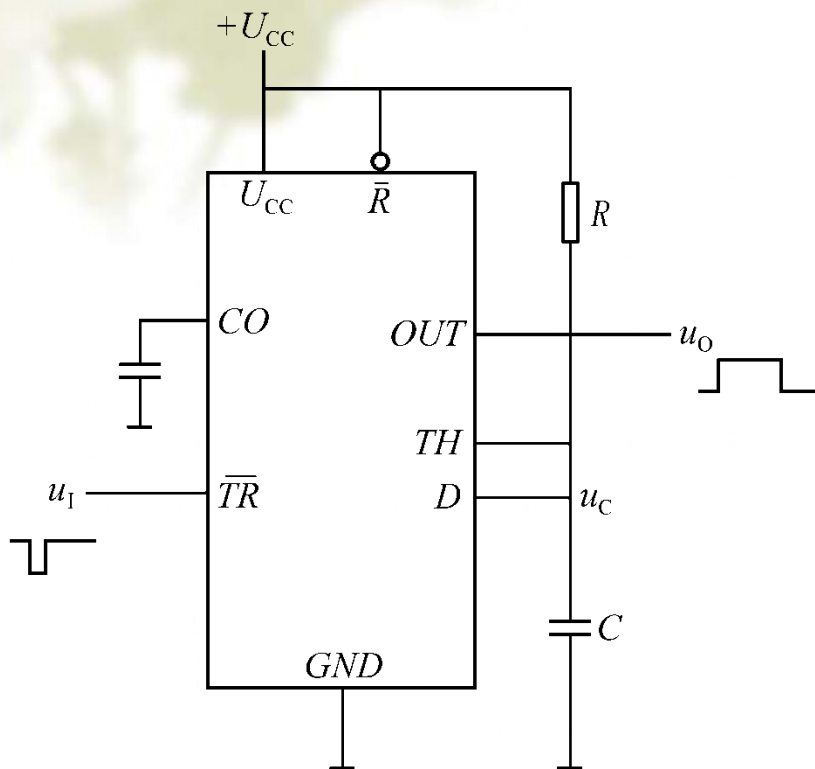
$$U_{T+} = \frac{2}{3} U_{CC}$$

$$U_{T-} = \frac{1}{3} U_{CC}$$

$$\Delta U_T = U_{T+} - U_{T-} = \frac{1}{3} U_{CC}$$



3. 组成单稳态触发器



$$T_w \approx RC \ln \frac{U_{cc} - 0}{U_{cc} - \frac{2}{3}U_{cc}} = RC \ln 3 = 1.1RC$$